

(Translation)

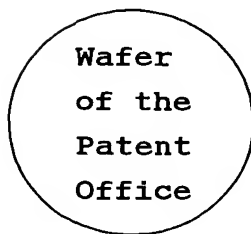
PATENT OFFICE
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy of the following application as filed with this Office.

Date of Application : July 30, 2002

Application Number : Patent Appln. No. 2002-221311

Applicant(s) : SHARP KABUSHIKI KAISHA



July 8, 2003

Shinichiro OTA
Commissioner,
Patent Office

Seal of
Commissioner
of
the Patent
Office

Appln. Cert. No.

Appln. Cert. Pat. 2003-3054168

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 7 月 3 0 日
Date of Application:

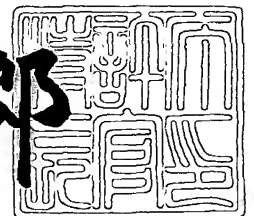
出 願 番 号 特 願 2 0 0 2 - 2 2 1 3 1 1
Application Number:
[ST. 10/C]: [J P 2 0 0 2 - 2 2 1 3 1 1]

出 願 人 シャープ株式会社
Applicant(s):

2 0 0 3 年 7 月 8 日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特 2 0 0 3 - 3 0 5 4 1 6 8

【書類名】 特許願

【整理番号】 02J02364

【提出日】 平成14年 7月30日

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 16/00

【発明者】

 【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

 【氏名】 森 康通

【発明者】

 【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

 【氏名】 吉本 貴彦

【発明者】

 【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

 【氏名】 安西 伸介

【発明者】

 【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

 【氏名】 野島 武

【特許出願人】

 【識別番号】 000005049

 【氏名又は名称】 シャープ株式会社

【代理人】

 【識別番号】 100078282

 【弁理士】

 【氏名又は名称】 山本 秀策

【選任した代理人】

【識別番号】 100062409

【弁理士】

【氏名又は名称】 安村 高明

【選任した代理人】

【識別番号】 100107489

【弁理士】

【氏名又は名称】 大塩 竹志

【手数料の表示】

【予納台帳番号】 001878

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0208587

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置の読み出し回路、そのリファレンス回路および半導体記憶装置

【特許請求の範囲】

【請求項 1】 メモリセルアレイに含まれる複数のメモリセルのうち、選択されたメモリセルにビット線を介してセル電流を供給し、該メモリセルに流れるセル電流を電流－電圧変換して得られる電圧とリファレンス電圧とを比較することによって、該メモリセルに記憶されたデータを読み出す半導体記憶装置の読み出し回路において、

選択されたメモリセルに流れるセル電流を複数に分割した分割セル電流のそれぞれをビット線に供給する複数のセンス線を有し、該ビット線と複数のセンス線とを電氣的に接続または分離するセル電流分割手段と、

一つのセンス線に接続され、分割セル電流を当該センス線に供給する電流負荷回路および、当該センス線の電圧と第 1 のリファレンス電圧群に含まれる第 1 のリファレンス電圧との電位差を増幅出力するセンスアンプをそれぞれ含む複数の分割センス回路と、

該複数の分割センス回路のそれぞれに対応した第 1 のリファレンス電圧群を出力する第 1 のリファレンス回路とを具備し、

該分割センス回路毎に含まれる各電流負荷回路のうち少なくとも一つが、他の電流負荷回路と異なる電流供給能力を有する半導体記憶装置の読み出し回路。

【請求項 2】 前記第 1 のリファレンス回路から供給される第 1 のリファレンス電圧によって、前記電流負荷回路の電流供給能力を制御可能とされている請求項 1 記載の半導体記憶装置の読み出し回路。

【請求項 3】 前記電流負荷回路は、第 1 のリファレンス電圧がゲート電極に接続された PMOS トランジスタを含む請求項 2 記載の半導体記憶装置の読み出し回路。

【請求項 4】 前記複数の分割センス回路のそれぞれに対応した第 2 のリファレンス電圧群を出力する第 2 のリファレンス回路をさらに具備し、

該第 2 のリファレンス回路から供給される第 2 のリファレンス電圧によって、

前記電流負荷回路の電流供給能力を制御可能とされている請求項 1 記載の半導体記憶装置の読み出し回路。

【請求項 5】 前記電流負荷回路は、第 2 のリファレンス電圧がゲート電極に接続された PMOS トランジスタを含む請求項 4 記載の半導体記憶装置の読み出し回路。

【請求項 6】 前記第 1 のリファレンス回路と前記第 2 のリファレンス回路とが、電氣的に接続されている請求項 4 または 5 記載の半導体記憶装置の読み出し回路。

【請求項 7】 前記分割セル電流を、その分割セル電流に対応する電圧に変換する電流－電圧変換回路をさらに具備する請求項 1～6 のいずれかに記載の半導体記憶装置の読み出し回路。

【請求項 8】 前記セル電流分割手段は、ゲート電極とソース電極とが接続された複数の NMOS トランジスタを含む請求項 1～7 のいずれかに記載の半導体記憶装置の読み出し回路。

【請求項 9】 前記セル電流分割手段に含まれる複数の NMOS トランジスタの電流供給能力が、それぞれに接続される電流負荷回路の電流供給能力に応じて異なっている請求項 8 記載の半導体記憶装置の読み出し回路。

【請求項 10】 前記セル電流分割手段に含まれる複数の NMOS トランジスタの電流供給能力は、それぞれに接続される電流負荷回路の電流供給能力が大きいほど小さく、それぞれに接続される電流負荷回路の電流供給能力が小さいほど大きく設定されている請求項 9 記載の半導体記憶装置の読み出し回路。

【請求項 11】 前記複数の分割センス回路が並列に動作する請求項 1～10 のいずれかに記載の半導体記憶装置の読み出し回路。

【請求項 12】 請求項 1～11 のいずれかに記載の半導体記憶装置の読み出し回路を備えている半導体記憶装置。

【請求項 13】 前記メモリセルアレイは、記憶されるデータが複数ビットである請求項 12 記載の半導体記憶装置。

【請求項 14】 複数のリファレンス素子のうち、選択されたりファレンス素子にリファレンスビット線を介してリファレンス電流を供給し、該リファレン

ス素子に流れるリファレンス電流をリファレンス電圧に変換する半導体記憶装置のリファレンス回路において、

選択されたりファレンス素子に流れるリファレンス電流を複数に分割した分割リファレンス電流のそれぞれをリファレンスビット線に供給する複数のサブリファレンス線を有し、該リファレンスビット線と複数のサブリファレンス線とを電氣的に接続または分離するリファレンス電流分割手段と、

それぞれ一つのサブリファレンス線に接続され、分割リファレンス電流を当該サブリファレンス線に供給する複数の電流負荷回路とを含み、それぞれ一つのリファレンス電圧を出力する複数のリファレンス電圧設定回路を具備し、

該複数のリファレンス電圧設定回路のうち一つから出力されるリファレンス電圧によって、他のリファレンス電圧設定回路に含まれる電流負荷回路の少なくとも一つの電流供給能力を制御可能とされている半導体記憶装置のリファレンス回路。

【請求項 15】 前記リファレンス電圧設定回路は、分割リファレンス電流を、その分割リファレンス電流に対応する電圧に変換する電流－電圧変換回路をさらに含む請求項第 14 記載の半導体記憶装置のリファレンス回路。

【請求項 16】 前記リファレンス電流分割手段は、ゲート電極とソース電極とが接続された複数の NMOS トランジスタを含む請求項第 14 または 15 に記載の半導体記憶装置のリファレンス回路。

【請求項 17】 前記リファレンス電流分割手段に含まれる複数の NMOS トランジスタの電流供給能力が、それぞれに接続される電流負荷回路の電流供給能力に応じて異なっている請求項第 16 記載の半導体記憶装置のリファレンス回路。

【請求項 18】 前記リファレンス電流分割手段に含まれる複数の NMOS トランジスタの電流供給能力は、それぞれに接続される電流負荷回路の電流供給能力が大きいほど小さく、それぞれに接続される電流負荷回路の電流供給能力が小さいほど大きく設定されている請求項 17 記載の半導体記憶装置のリファレンス回路。

【請求項 19】 前記リファレンス素子は、メモリセルと同じ構造の素子で

ある請求項 14～18 のいずれかに記載の半導体記憶装置のリファレンス回路。

【請求項 20】 前記電流負荷回路は PMOS トランジスタを含む請求項 14～19 のいずれかに記載の半導体記憶装置のリファレンス回路。

【請求項 21】 前記リファレンス電圧設定回路の電流負荷回路に含まれる PMOS トランジスタの少なくとも一つが、他のリファレンス電圧設定回路の電流負荷回路に含まれる PMOS トランジスタとカレントミラー接続されている請求項第 20 記載の半導体記憶装置のリファレンス回路。

【請求項 22】 前記リファレンス電圧設定回路の電流負荷回路に含まれる PMOS トランジスタの少なくとも一つが、読み出し回路の電流負荷回路に含まれる PMOS トランジスタとカレントミラー接続されている請求項 21 記載の半導体記憶装置のリファレンス回路。

【請求項 23】 複数のリファレンス素子のうち、選択されたりファレンス素子にリファレンスビット線を介してリファレンス電流を供給し、該リファレンス素子に流れるリファレンス電流をリファレンス電圧に変換する半導体記憶装置のリファレンス回路において、

選択されたりファレンス素子に流れるリファレンス電流を複数の分割した分割リファレンス電流のそれぞれをリファレンスビット線に供給する複数のサブリファレンス線を有し、該リファレンスビット線と複数のサブリファレンス線とを電氣的に接続または分離するリファレンス電流分割手段と、

それぞれ一つのサブリファレンス線に接続され、分割リファレンス電流を当該サブリファレンス線に供給する複数の電流負荷回路を含み、それぞれ一つの第 1 のリファレンス電圧を出力する複数のリファレンス電圧設定回路を具備し、

請求項 14～22 のいずれかに記載の半導体記憶装置のリファレンス回路から供給される第 2 のリファレンス電圧によって、該電流負荷回路の電流供給能力を制御可能とされている半導体記憶装置のリファレンス回路。

【請求項 24】 請求項 14～23 のいずれかに記載の半導体記憶装置のリファレンス回路を備えている半導体記憶装置。

【請求項 25】 前記第 1 のリファレンス回路として請求項 14～22 に記載の半導体記憶装置のリファレンス回路を備えている請求項 1～3 および 5～1

1 のいずれかに記載の半導体記憶装置の読み出し回路。

【請求項 26】 前記第 1 のリファレンス回路として請求項 23 に記載の半導体記憶装置のリファレンス回路を備え、前記第 2 のリファレンス回路として請求項 14 ～ 22 のいずれかに記載の半導体記憶装置のリファレンス回路を備えている請求項 4 ～ 11 のいずれかに記載の半導体記憶装置の読み出し回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体記憶装置の読み出し回路、リファレンス回路およびそれらを用いた半導体記憶装置に関し、特に、一つのメモリセルに 1 ビット以上の情報を記憶することができる多値型の不揮発性半導体記憶装置などの半導体記憶装置の読み出し回路、そのリファレンス回路およびそれらを用いた半導体記憶装置に関する。

【0002】

【従来の技術】

一般に、半導体記憶装置の読み出し回路は、情報が記憶されているメモリセルに電流を供給し、そのメモリセルを通して流れる電流（セル電流）と、基準電流（リファレンス電流）とを比較して、リファレンス電流に対してセル電流が大きい小さいかを判断することによって、メモリセルに書き込まれた情報を取り出すという操作を行っている。このように、セル電流を比較して情報を取り出す読み出し方式は、電流センス方式と称されている。

【0003】

例えば、一つのメモリセルに 1 ビットの情報が格納されている、いわゆる 2 値型の半導体記憶装置においては、図 9（b）に示すように、セル電流が多い状態（情報”1”に相当する）とセル電流が少ない状態（情報”0”に相当する）との 2 状態を用意して、リファレンス電流値を両状態の中間の値に設定することにより、1 ビットの情報を読み出すことができる。なお、実際には、セル電流およびリファレンス電流のそれぞれに電流－電圧変換を行って、それぞれの電位を比較するようになっている。

【0004】

また、近年では、記憶容量の拡大、半導体チップの製造コスト削減を図るために、一つのメモリセルに2ビット以上の情報を格納可能な多値型の半導体記憶装置が検討されている。

【0005】

例えば、一つのメモリセルに2ビットの情報を格納する多値型の半導体記憶装置では、図9(a)に示すように、セル電流が取り得る状態を4種類用意して、それぞれのデータ領域の間に3種類のリファレンス電流値を設定することにより、2ビットの情報を読み出すことができる。このような多値型の半導体記憶装置において、一つのメモリセルに n ビットの情報を格納する場合には、セル電流値が取り得る状態を 2^n 種類用意し、リファレンス電流値を $2^n - 1$ 種類設定することが必要である。

【0006】

上記図9(a)および図9(b)から分かるように、一般に、多値型の半導体記憶装置においては、2値型の半導体記憶装置と比較して、セル電流とリファレンス電流との間に十分な電流差を確保することが物理的に困難である。このようにセル電流とリファレンス電流との間の電流差が少ない場合には、特に、読み出し回路において動作マージンを大きくすることが容易ではない。また、メモリセルに格納されている情報を取り出すには多数の電流比較を行う必要があるため、例えば2ビットのデータを読み出す場合には3種類の電流比較を行う必要がある。このため、読み出し時間が遅くなる虞がある。

【0007】

これらの事情を踏まえて、多値型の半導体記憶装置からデータ読み出しを行う際には、いくつかの方式が提案されている。その一つとして、1度に1種類の電流比較を行い、その結果に応じて別の状態について電流比較を行うなど、時分割で順次電流比較を行う時分割センス方式が挙げられる。

【0008】

以下に、この時分割センス方式の一例として、図9(a)に示す2ビット／セルのデータを読み出す際の動作について、図10を用いて簡単に説明する。

【0009】

図10は、従来の半導体装置における時分割センス方式の読み出し回路J100の構成例を示す回路図である

図10において、この時分割センス方式を用いた読み出し回路J100は、データ読み出しが行われるメモリセルである選択セルJ7のドレイン（ドレイン電極）に電圧を与えて読み出し電流（セル電流）を得る電流負荷回路J1と、リファレンス電流を得るための電流負荷回路J2とを備えている。選択セルJ7のドレインと電流負荷回路J1との間にはセンス線J9が接続されており、電流負荷回路J2にはリファレンス線J10が接続されている。センス線J9およびリファレンス線J10は、センス線J9とリファレンス線J10との電位差を増幅出力するためのセンスアンプJ3の入力部と接続されている。また、センスアンプJ3の出力部には、1回目のセンス結果をラッチする第1のデータラッチ回路J4と、2回目のセンス結果をラッチする第2のデータラッチ回路J5とが接続されている。第1のデータラッチ回路J4からのセンス結果J11は、選択回路J6と接続されており、選択回路J6は、第1のデータラッチ回路J4からのセンス結果J11によって、リファレンス電流のリソースJ80～J82を切り替えてリファレンス線J10と接続させるように構成している。

【0010】

このように構成された時分割センス方式の読み出し回路J100において、選択セルJ7からのデータ読み出しは、以下のようにして行われる。

【0011】

まず、選択セルJ7のゲート（ゲート電極）とドレイン（ドレイン電極）とに適切な電圧を印加することによって、選択セルJ7を通して流れるセル電流が発生する。電流負荷回路J1との引き合い（電流負荷回路J1による電圧降下）により、センス線J9にセンス電圧が発生する。

【0012】

これと同様に、選択回路J6によって選択されたりファレンス電流のリソースJ80を通して流れるリファレンス電流と電流電流負荷回路J2との引き合いにより、リファレンス線J10にリファレンス電圧が発生する。

時と同様にセンス動作を行い、第2のデータラッチ回路J12を記憶する。以上のようにして、一つのメモリセルのデータをセンス結果J11およびJ12として得る。同様に、一つのメモリセルにNビットの情報を格納した場合を用いると、最低N回のセンス動作を行うことによってNことが可能である。

この時分割センス方式によれば、最低1つのセンスアンプによって多ビットの情報を読み出すことができるため、センス回路が占有するチップ面積、瞬時に必要とされる消費電流などを最小に抑えることが可能である。また、電流負荷回路 J 1, J 2 の回路定数等を含めて切り替えを行うことにより、それぞれのセンス時に、より大きな動作マージンを容易に得ることが可能である。

【0017】

しかしながら、時分割センス方式では、それぞれのセンス時にセンス結果をデータラッチ回路 J 4, J 5 にラッチするためのセットアップ／ホールド時間を確保する必要がある、各センス動作の間に切り替え時間が必要であることから、データ読み出しを高速に行うことが容易ではない。

【0018】

さらに他の読み出し方式として、1度に複数種類の電流比較を行う並列センス方式が挙げられる。

【0019】

以下に、この並列センス方式の一例として、図9 (a) に示す2ビット／セルのデータを読み出す際の動作について、図11を用いて簡単に説明する。

【0020】

図11は、従来の半導体記憶装置における並列センス方式の読み出し回路 H 100 の構成例を示す回路図である。

【0021】

図11において、この並列センス方式を用いた読み出し回路 H 100 は、データ読み出しが行われるメモリセルである選択セル H 8 のドレイン（ドレイン電極）に電圧を与えて読み出し電流（セル電流）を得る電流負荷回路 H 1 と、リファレンス電流のリソース H 80～H 82 に電圧を与えてリファレンス電流を得るための電流負荷回路 H 2～H 4 とを備えている。選択セル H 8 のドレインと電流負荷回路 H 1 との間にはセンス線 H 9 が接続されており、リファレンス電流のリソース H 80～H 82 との間には、それぞれリファレンス線 H 10～H 12 が接続されている。センス線 H 9 およびリファレンス線 H 10 は、センス線 H 9 とリファレンス線 H 10 との電位差を増幅出力するためのセンスアンプ H 5 の各入力部

と接続され、センス線H 9 およびリファレンス線H 1 1 は、センス線H 9 とリファレンス線H 1 1 との電位差を増幅出力するためのセンスアンプH 6 の各入力部と接続され、センス線H 9 およびリファレンス線H 1 2 は、センス線H 9 とリファレンス線H 1 2 との電位差を増幅出力するためのセンスアンプH 7 の各入力部と接続されている。また、センスアンプH 5 ～H 7 の出力部には、論理回路H 1 3 が接続されており、論理回路H 1 3 の出力部から2 ビットの読み出しデータH 1 4 およびH 1 5 が出力されるように構成されている。

【0022】

このように構成された並列センス方式の読み出し回路H 1 0 0 において、選択セルH 8 からのデータ読み出しは、以下のようにして行われる。

【0023】

まず、選択セルH 8 のゲート（ゲート電極）とドレイン（ドレイン電極）とに適切な電圧を印加することによって、選択セルH 8 を通って流れるセル電流が発生する。電流負荷回路H 1 との引き合い（電流負荷回路H 1 による電圧降下）により、センス線H 9 にセンス電圧が発生する。

【0024】

これと同様に、リファレンス電流のリソースH 8 0 ～H 8 2 を通って流れるリファレンス電流と電流負荷回路H 2 ～H 4 との引き合いにより、リファレンス線H 1 0 ～H 1 2 にリファレンス電圧がそれぞれ発生する。ここで、リファレンス電流のリソースH 8 0 は、図9（a）に示す3つのリファレンス電流のうち、データ領域”00”と”01”との間のリファレンス電流値”H”を得るためのものであり、リファレンス電流のリソースH 8 1 は、データ領域”01”と”10”との間のリファレンス電流値”M”を得るためのものであり、リファレンス電流のリソースH 8 2 は、データ領域”10”と”11”との間のリファレンス電流値”L”を得るためのものである。通常、リファレンス電流のリソースH 8 0 ～H 8 2 としては、適切なリファレンス電流を得ることができるように、閾値が厳密に調整されたメモリセルと同じ構造および同じ特性を有するリファレンスセルが用いられる。

【0025】

このようにして発生したセンス電圧とリファレンス電圧との電位差がセンスアンプH5～H7にて並列に増幅出力され、3ビットのセンスアンプ出力として論理回路H13に入力される。この論理回路H13では、3ビットのセンスアンプ出力から、実際の読み出しデータとなる2ビットのデータH14およびH15に変換される。

【0026】

図12および図13は、図11の論理回路H13における具体的な変換例を示す図である。

【0027】

図12および図13において、リファレンス電流のリソースH80によるリファレンス電流をデータ領域”00”と”01”との間のリファレンス電流値”H”、リファレンス電流のリソースH81によるリファレンス電流をデータ領域”01”と”10”との間のリファレンス電流値”M”、リファレンス電流のリソースH82によるリファレンス電流をデータ領域”10”と”11”との間のリファレンス電流”L”とそれぞれ定義する。このとき、センスアンプH5～H7の出力が図12に示すようなものであるとすると、論理回路H13は、図13に示すような真理値表を実現するような3ビット入力2ビット出力の論理回路とすることができる。同様に、一つのメモリセルにNビットの情報を格納した場合には、論理的には $2^N - 1$ 個のセンスアンプを設ける必要がある。

【0028】

この並列センス方式によれば、複数のセンスアンプ（図11ではセンスアンプH5～H7）を並列に動作させることにより、1回でNビットの情報を読み出すことが可能であるため、データ読み出しの高速化を図るためには非常に有利である。

【0029】

しかしながら、並列センス方式では、多くのセンスアンプが必要とされるため、センス回路が占有するチップ面積、瞬時に必要とされる消費電流などが大きくなり、その点では不利である。また、動作点の異なるセンスアンプを一つの電流負荷回路（同じ特性）によって動作させるため、それぞれの動作点が含まれる広

い領域で、均一の動作マージンを得る必要がある。このため、各々の動作点での絶対的な動作マージンを大きくすることが容易ではない。

【0030】

以下に、上記各方式における読み出し回路の動作マージンについて説明する。ここで、セル電流とリファレンス電流との差であるセル電流差と、センス電圧とリファレンス電圧との差であるセンス電圧差との比率であるセンス電圧差／セル電流差の絶対値をセンス電圧変換効率と定義すると、このセンス電圧変換効率が高いほど、読み出し回路の動作マージンが大きいとすることができる。例えば、セル電流差が同じ場合でも、センス電圧差が大きい方が、十分にマージンが確保された読み出し回路を構成することができる。動作マージンが大きい方が、読み出し時間の短縮化のために有利であることは言うまでもない。

【0031】

以下に、動作マージンおよびセンス電圧変換効率について説明するために、読み出し回路の負荷特性をセル電流とセンス電圧との関係によって示す。

【0032】

図14 (a) は、一般的な電流負荷として、抵抗を用いた場合の読み出し回路の構成を示す回路図である。

【0033】

図14 (a) において、この読み出し回路では、メモリセルL5と電流負荷である抵抗L1との引き合いにより、センス線L3にセンス電圧が発生する。同様に、リファレンス電流のリソースであるリファレンスセルL6と電流負荷である抵抗L2との引き合いにより、リファレンス線L4にリファレンス電圧が発生する。

【0034】

この読み出し回路において、セル電流とセンス電圧との関係は、図14 (b) に示すグラフのような関係になる。この図14 (b) において、グラフの傾きの絶対値がセンス電圧変換効率を示すことは、言うまでもない。このように線形的な負荷特性を有する読み出し回路では、センス電圧変換効率は、セル電流が取得する領域全てにおいて均一（一定）である。

【0035】

上述した並列センス方式では、複数の動作点でセンス動作を行う必要があるため、どの動作点でも平均して動作マージンを確保することができる図14(b)に示すような線形的な負荷特性を有する読み出し回路を用いることが望ましい。但し、この場合のセンス電圧変換効率は、後述する非線形の負荷特性を有する読み出し回路に比べて小さいため、セル電流差がより少ない多値型の半導体記憶装置には適していない。

【0036】

一方、時分割センス方式のように一度のセンス動作における動作点が限定される場合には、動作点の付近でセンス電圧変換効率が高くなるような非線形の負荷特性を有する読み出し回路を用いることができる。

【0037】

図15(a)は、非線形特性を有する電流負荷回路の一例として、PMOSトランジスタをカレントミラー接続した読み出し回路の構成を示す回路図である。

【0038】

図15(a)において、この読み出し回路では、リファレンス電流のリソースであるリファレンスセルK6と電流負荷であるPMOSトランジスタK2との引き合いにより、リファレンス線K4にリファレンス電圧が発生する。また、リファレンス線K4がゲート電極に接続されたPMOSトランジスタK1とメモリセルK5との引き合いにより、センス線K3にセンス電圧が発生する。

【0039】

この読み出し回路において、セル電流とセンス電圧との関係は、図15(b)に示すグラフのような関係になる。このように非線形の負荷特性を有する読み出し回路では、セル電流とリファレンス電流とが等しい点を中心とした領域のセンス電圧変換効率（グラフの傾きで示される）をより高くすることができる。センス電圧変換効率が高いほど、少ないセル電流差での読み出し動作マージンを大きくすることができるため、多値型の半導体記憶装置に適している。但し、リファレンス電流の付近以外の領域では、センス電圧変換効率が低くなるため、複数の動作点で動作させることは容易ではない。

【0040】**【発明が解決しようとする課題】**

上述したように、電流センス方式を採用している多値型の半導体記憶装置において、時分割センス方式を用いた場合には、動作点を中心とした領域の動作マージンをより大きくするために、非線形の負荷特性を有する読み出し回路を用いることが適しているが、それぞれのセンス時にセンス結果をラッチするためのセットアップ/ホールド時間を確保することが必要であり、読み出し時間の高速化を図ることは容易ではない。

【0041】

一方、並列センス方式を用いた場合には、複数の動作点で平均して動作マージンを確保する必要があるため、絶対的な動作マージンを大きくすることができず、多値型の半導体記憶装置には適していない。

【0042】

本発明は、上記従来の問題を解決するもので、多値型の半導体記憶装置において読み出し動作マージンを大きくすることが可能で、かつ、読み出し動作の高速化を図ることができる半導体記憶装置の読み出し回路、そのリファレンス回路およびそれらを用いた半導体記憶装置を提供することを目的とする。

【0043】**【課題を解決するための手段】**

本発明の半導体記憶装置の読み出し回路は、メモリセルアレイに含まれる複数のメモリセルのうち、選択されたメモリセルにビット線を介してセル電流を供給し、該メモリセルに流れるセル電流を電流－電圧変換して得られる電圧とリファレンス電圧とを比較することによって、該メモリセルに記憶されたデータを読み出す半導体記憶装置の読み出し回路において、選択されたメモリセルに流れるセル電流を複数に分割した分割セル電流のそれぞれをビット線に供給する複数のセンス線を有し、ビット線と複数のセンス線とを電気的に接続または分離するセル電流分割手段と、一つのセンス線に接続され、分割セル電流を当該センス線に供給する電流負荷回路および、当該センス線の電圧と第1のリファレンス電圧群に含まれる第1のリファレンス電圧との電位差を増幅出力するセンスアンプをそれ

それぞれ複数の分割センス回路と、複数の分割センス回路のそれぞれに対応した第1のリファレンス電圧群を出力する第1のリファレンス回路とを具備し、分割センス回路毎に含まれる各電流負荷回路のうち少なくとも一つが、他の電流負荷回路と異なる電流供給能力を有しており、そのことにより上記目的が達成される。

【0044】

また、好ましくは、本発明の半導体記憶装置の読み出し回路において、第1のリファレンス回路から供給される第1のリファレンス電圧によって、電流負荷回路の電流供給能力を制御可能とされている。

【0045】

さらに、好ましくは、本発明の半導体記憶装置の読み出し回路における電流負荷回路は、第1のリファレンス電圧がゲート電極に接続されたPMOSトランジスタを含む。

【0046】

さらに、好ましくは、本発明の半導体記憶装置の読み出し回路において、複数の分割センス回路のそれぞれに対応した第2のリファレンス電圧群を出力する第2のリファレンス回路をさらに具備し、第2のリファレンス回路から供給される第2のリファレンス電圧によって、電流負荷回路の電流供給能力を制御可能とされている。

【0047】

さらに、好ましくは、本発明の半導体記憶装置の読み出し回路における電流負荷回路は、第2のリファレンス電圧がゲート電極に接続されたPMOSトランジスタを含む。

【0048】

さらに、好ましくは、本発明の半導体記憶装置の読み出し回路における第1のリファレンス回路と第2のリファレンス回路とが電氣的に接続されている。

【0049】

さらに、好ましくは、本発明の半導体記憶装置の読み出し回路において、分割セル電流を、その分割セル電流に対応する電圧に変換する電流－電圧変換回路を

さらに具備する。

【0050】

さらに、好ましくは、本発明の半導体記憶装置の読み出し回路におけるセル電流分割手段は、ゲート電極とソース電極とが接続された複数のNMOSトランジスタを含む。

【0051】

さらに、好ましくは、本発明の半導体記憶装置の読み出し回路において、セル電流分割手段に含まれる複数のNMOSトランジスタの電流供給能力が、それぞれに接続される電流負荷回路の電流供給能力に応じて異なっている。

【0052】

さらに、好ましくは、本発明の半導体記憶装置の読み出し回路において、セル電流分割手段に含まれる複数のNMOSトランジスタの電流供給能力は、それぞれに接続される電流負荷回路の電流供給能力が大きいほど小さく、それぞれに接続される電流負荷回路の電流供給能力が小さいほど大きく設定されている。

【0053】

さらに、好ましくは、本発明の半導体記憶装置の読み出し回路における複数の分割センス回路が並列に動作する。

【0054】

本発明の半導体記憶装置は、請求項1～11のいずれかに記載の半導体記憶装置の読み出し回路を備えており、そのことにより上記目的が達成される。

【0055】

また、好ましくは、本発明の半導体記憶装置におけるメモリセルアレイは、記憶されるデータが複数ビットである。

【0056】

本発明の半導体記憶装置のリファレンス回路は、複数のリファレンス素子のうち、選択されたりファレンス素子にリファレンスビット線を介してリファレンス電流を供給し、リファレンス素子に流れるリファレンス電流をリファレンス電圧に変換する半導体記憶装置のリファレンス回路において、選択されたりファレンス素子に流れるリファレンス電流を複数に分割した分割リファレンス電流のそれ

それをリファレンスビット線に供給する複数のサブリファレンス線を有し、リファレンスビット線と複数のサブリファレンス線とを電氣的に接続または分離するリファレンス電流分割手段と、それぞれ一つのサブリファレンス線に接続され、分割リファレンス電流を当該サブリファレンス線に供給する複数の電流負荷回路とを含み、それぞれ一つのリファレンス電圧を出力する複数のリファレンス電圧設定回路を具備し、複数のリファレンス電圧設定回路のうち一つから出力されるリファレンス電圧によって、他のリファレンス電圧設定回路に含まれる電流負荷回路の少なくとも一つの電流供給能力を制御可能とされており、そのことにより上記目的が達成される。

【0057】

また、好ましくは、本発明の半導体記憶装置のリファレンス回路におけるリファレンス電圧設定回路は、分割リファレンス電流を、その分割リファレンス電流に対応する電圧に変換する電流－電圧変換回路をさらに含む。

【0058】

さらに、好ましくは、本発明の半導体記憶装置のリファレンス回路におけるリファレンス電流分割手段は、ゲート電極とソース電極とが接続された複数のNMOSトランジスタを含む。

【0059】

さらに、好ましくは、本発明の半導体記憶装置のリファレンス回路において、リファレンス電流分割手段に含まれる複数のNMOSトランジスタの電流供給能力が、それぞれに接続される電流負荷回路の電流供給能力に応じて異なっている。

【0060】

さらに、好ましくは、本発明の半導体記憶装置のリファレンス回路において、リファレンス電流分割手段に含まれる複数のNMOSトランジスタの電流供給能力は、それぞれに接続される電流負荷回路の電流供給能力が大きいほど小さく、それぞれに接続される電流負荷回路の電流供給能力が小さいほど大きく設定されている。

【0061】

さらに、好ましくは、本発明の半導体記憶装置のリファレンス回路におけるリファレンス素子はメモリセルと同じ構造の素子である。

【0062】

さらに、好ましくは、本発明の半導体記憶装置のリファレンス回路における電流負荷回路はPMOSトランジスタを含む。

【0063】

さらに、好ましくは、本発明の半導体記憶装置のリファレンス回路において、リファレンス電圧設定回路の電流負荷回路に含まれるPMOSトランジスタの少なくとも一つが、他のリファレンス電圧設定回路の電流負荷回路に含まれるPMOSトランジスタとカレントミラー接続されている。

【0064】

さらに、好ましくは、本発明の半導体記憶装置のリファレンス回路において、リファレンス電圧設定回路の電流負荷回路に含まれるPMOSトランジスタの少なくとも一つが、読み出し回路の電流負荷回路に含まれるPMOSトランジスタとカレントミラー接続されている。

【0065】

さらに、好ましくは、本発明の半導体記憶装置のリファレンス回路は、複数のリファレンス素子のうち、選択されたりファレンス素子にリファレンスビット線を介してリファレンス電流を供給し、該リファレンス素子に流れるリファレンス電流をリファレンス電圧に変換する半導体記憶装置のリファレンス回路において、選択されたりファレンス素子に流れるリファレンス電流を複数の分割した分割リファレンス電流のそれぞれをリファレンスビット線に供給する複数のサブリファレンス線を有し、リファレンスビット線と複数のサブリファレンス線とを電気的に接続または分離するリファレンス電流分割手段と、それぞれ一つのサブリファレンス線に接続され、分割リファレンス電流を当該サブリファレンス線に供給する複数の電流負荷回路を含み、それぞれ一つの第1のリファレンス電圧を出力する複数のリファレンス電圧設定回路を具備し、請求項14～22のいずれかに記載の半導体記憶装置のリファレンス回路から供給される第2のリファレンス電圧によって、電流負荷回路の電流供給能力を制御可能とされており、そのことに

より上記目的が達成される。

【0066】

本発明の半導体記憶装置は、請求項14～23のいずれかに記載の半導体記憶装置のリファレンス回路を備えており、そのことにより上記目的が達成される。

【0067】

本発明の半導体記憶装置の読み出し回路は、第1のリファレンス回路として請求項14～22に記載の半導体記憶装置のリファレンス回路を備えており、そのことにより上記目的が達成される。

【0068】

また、本発明の半導体記憶装置の読み出し回路は、第1のリファレンス回路として請求項23に記載の半導体記憶装置のリファレンス回路を備え、第2のリファレンス回路として請求項14～22のいずれかに記載の半導体記憶装置のリファレンス回路を備えており、そのことにより上記目的が達成される。

【0069】

以下に、本発明の作用について説明する。

【0070】

本発明の半導体記憶装置の読み出し回路にあっては、選択されたメモリセルに流れるセル電流をセル電流分割手段で複数に分割し、分割セル電流のそれぞれを電流－電圧変換したセンス電圧と第1のリファレンス電圧群に含まれる第1のリファレンス電圧との電位差を、複数の分割センス回路に含まれるセンスアンプによってそれぞれ増幅出力することによって、複数の異なる動作点で並列にセンス動作を行うことができる。また、分割セル電流を複数のセンス線のそれぞれに供給する電流負荷回路の電流供給能力を異ならせることによって、それぞれの動作点でセンス電圧変換効率が高くなるような電流供給能力とすることができ、複数の動作点で負荷特性を均一にした従来の半導体記憶装置の読み出し回路に比べて、動作マージンを大きくすることができる。

【0071】

例えば、電流負荷回路をPMOSトランジスタによって構成し、ゲート電極に第1のリファレンス電圧を接続することによって、電流負荷回路の電流供給能力

を第1のリファレンス電圧によって制御することができる。また、センス動作に用いられる第1のリファレンス電圧を生成する第1のリファレンス回路とは別に第2のリファレンス回路を設けて、電流負荷回路のPMOSトランジスタのゲート電極に第2のリファレンス電圧を接続して、電流供給能力を制御するようにしてもよい。この場合、第2のリファレンス回路を第1のリファレンス回路と電氣的に接続することによって、第1のリファレンス電圧によって第2のリファレンス回路の電流供給能力を制御することができる。このように、電流負荷回路をPMOSトランジスタで構成することによって、動作点の付近のみセンス電圧変換効率が高くなるような非線形の負荷特性を得ることができる。

【0072】

また、セル電流分割手段を、ゲート電極とソース電極とが接続された複数のNMOSトランジスタによって構成し、その電流供給能力を、それぞれに接続される電流負荷回路の電流供給能力に応じて異ならせることによって、さらに動作マージンを大きくすることができる。例えば、セル電流分割手段に含まれるNMOSトランジスタの電流供給能力を、それぞれに接続される電流負荷回路の電流供給能力が大きいほど小さく、それぞれに接続される電流負荷回路の電流供給能力が小さいほど大きく設定することによって、セル電流が小さい領域においても、その境界判断を行う分割センス回路に対して、より多くの分割セル電流を供給することができる。

【0073】

また、本発明の半導体記憶装置のリファレンス回路にあっては、選択されたりファレンス素子に流れるリファレンス電流をリファレンス電流分割手段で複数に分割し、分割リファレンス電流を複数のサブリファレンス線のそれぞれに供給する電流負荷回路の電流供給能力を、他のリファレンス電圧設定回路の電流負荷回路から出力されるリファレンス電圧によって制御することによって、読み出し回路を構成する電流負荷回路と同様の非線形の負荷特性を有するリファレンス回路を実現することができる。また、読み出し回路とリファレンス回路に含まれるトランジスタのレイアウトパターンを同等にすることができるため、同じトランジスタ特性のものを作製することが容易となり、トランジスタ特性のばらつきなど

による影響を受け難くなる。

【0074】

例えば、電流負荷回路をPMOSトランジスタによって構成し、他のリファレンス電圧設定回路の電流負荷回路に含まれるPMOSトランジスタとカレントミラー接続することによって、電流負荷回路の電流供給能力を他のリファレンス電圧設定回路の電流負荷回路から出力されるリファレンス電圧によって制御することができる。

【0075】

また、リファレンス電圧設定回路の電流負荷回路に含まれるPMOSトランジスタを、読み出し回路の電流負荷回路に含まれるPMOSトランジスタとカレントミラー接続することによって、読み出し回路における電流負荷回路の電流供給能力を、リファレンス電圧設定回路の電流負荷回路から出力されるリファレンス電圧によって制御することができる。

【0076】

また、他のリファレンス回路（第2のリファレンス回路）から供給されるリファレンス電圧を、リファレンス電圧設定回路の電流負荷回路に含まれるPMOSトランジスタのゲート電極と接続することによって、電流負荷回路の電流供給能力を制御することもできる。

【0077】

リファレンス素子は、メモリセルと同じ構造の素子を用いて、閾値を調整して同じ特性とすることによって、適切なリファレンス電流を容易に得ることができる。

【0078】

【発明の実施の形態】

以下に、本発明の実施の形態について、図面に基づいて説明する。以下では、一例として、不揮発性半導体記憶装置の読み出し動作について説明するが、本発明は、読み出しのために電流センス方式を採用している半導体記憶装置一般に適用可能なものであり、不揮発性半導体記憶装置または揮発性半導体記憶装置に限定されるものではない。また、以下では、読み出し動作に関する部分についての

み説明を行っており、書き込み回路、消去回路、制御回路などについては、その説明を省略している。

(実施形態 1)

図 1 は、本発明の一実施形態である半導体記憶装置における読み出し回路 1000 の構成を示す回路図である。

【0079】

図 1 において、この半導体記憶装置の読み出し回路 1000 は、メモリセルアレイに含まれる複数のメモリセルのうち、選択されたメモリセル 9 にビット線 8 を介してセル電流を供給し、そのメモリセル 9 に流れるセル電流を電流－電圧変換して得られる電圧とリファレンス電圧とを比較することによって、そのメモリセル 9 に記憶されたデータを読み出すようになっている。

【0080】

この選択されたメモリセル 9 に流れるセル電流は、セル電流分割手段 1 によって複数の分割される。本実施形態において、セル電流分割手段 1 は、インバータ 101 を介してゲート電極とソース電極とが接続された複数の NMOS トランジスタ 10～1n を含み、NMOS トランジスタ 10～1n のそれぞれによって、分割セル電流のそれぞれをビット線 8 に供給する複数のセンス線 50～5n とビット線 8 とがそれぞれ電氣的に接続または分離自在に構成されている。上記インバータ 101 およびセル電流分割手段 1 によって、分割セル電流を、その分割セル電流に対応する電圧に変換する電流－電圧変換回路 100 が構成されている。

【0081】

複数のセンス線 50～5n のそれぞれは、複数の分割センス回路 20～2n のそれぞれと接続されている。分割センス回路 20～2n のそれぞれは、分割セル電流を各センス線に供給する電流負荷回路 30～3n のそれぞれと、センス線 50～5n の各電圧とリファレンス電圧線群（第 1 のリファレンス電圧群）6 のリファレンス電圧（第 1 のリファレンス電圧）60～6n との電位差を増幅出力するセンスアンプ 40～4n のそれぞれとを含んでいる。リファレンス電圧線群 6 は、リファレンス電圧 60～6n の各々を個別に供給できるようになっている。

【0082】

本実施形態では、電流負荷回路 30～3n はそれぞれ、PMOS トランジスタ 70～7n を含んでおり、PMOS トランジスタ 70～7n のそれぞれのゲート電極には、リファレンス電圧線群 6 からのリファレンス電圧 60～6n がそれぞれ入力されている。このリファレンス電圧 60～6n のそれぞれによって、電流負荷回路 30～3n のそれぞれの電流供給能力が制御され、複数の分割センス回路 20～2n に含まれる複数の電流負荷回路 30～3n の少なくとも一つが、他の電流負荷回路と異なる電流供給能力を有するようになっている。

【0083】

複数の分割センス回路 20～2n のそれぞれに対応した第 1 のリファレンス電圧線群 6 は、リファレンス回路（第 1 のリファレンス回路）110 から引き出されている。

【0084】

図 2 は、本発明の半導体記憶装置の一実施形態である不揮発性半導体記憶装置におけるメモリセルアレイの一部を示す回路図である。

【0085】

図 2 において、このメモリセルアレイは、複数のメモリセル CELL 11～CELL 44 がマトリックス状に設けられている。メモリセルアレイに含まれる各メモリセルのゲートは行単位で共通にワード線 WL 1～WL 4 と接続されており、各メモリセルのドレインは列単位で共通にビット線 BL 1～BL 4 と接続されている。ワード線 WL 1～WL とビット線 BL 1～BL 4 とは、互いに直交するように設けられている。また、各メモリセルのソースは、ブロック単位で共通化されて共通ソース線 SRC と接続されている。

【0086】

各メモリセルは、隣接するメモリセルと、ドレイン同士が互いに接続されてビット線と接続され、ソース同士が互いに接続されて共通ソース線と接続されている。例えば、メモリセル CELL 11 と CELL 21 とは、ドレイン同士が接続されて、それらのドレインがビット線 BL 1 と接続されている。また、メモリセル CELL 21 と CELL 31 とは、ソース同士が接続されて、それらのソースが共通ソース線 SRC と接続されている。また、メモリセル CELL 31 と CE

LL41とは、ドレイン同士が接続されて、それらのドレインがビット線BL1と接続されている。

【0087】

各ビット線の先には、図示しないデコーダ回路や上記図1に示す電流電圧変換回路100を介して例えば分割センス回路40や電流負荷回路30などが接続されている。また、これらのメモリセルアレイとは別に、上記メモリセルと同様のメモリセルが、リファレンスセルとしてリファレンス回路110内に配置されている。

【0088】

上記構成により、以下に、本実施形態の読み出し回路1000の動作について説明する。ここでは、図9(a)に示す2ビット／セルのデータ読み出し動作を実現する回路構成について説明するため、図1中の符号に含まれる n を2と定義する。したがって、図1に示すセル電流分割手段1を構成するNMOSトランジスタ1 n を12、分割センス回路2 n を22、電流負荷回路3 n を32、センスアンプ回路4 n を42、センス線5 n を52、リファレンス電圧6 n を62、電流負荷回路32を構成するPMOSトランジスタ7 n を72として説明する。なお、 m ビット／セルのデータ読み出し動作を実現する場合には、 n を $2^m - 1$ に設定すればよい。また、以下の説明では、センス線の電位のことをセンス電圧、リファレンス線の電位のことをリファレンス電圧と称し、同様の符号を付して説明を行う。

【0089】

まず、多値での読み出し動作を補足し、説明を容易にするために、本実施形態の半導体記憶装置の読み出し回路1000を用いて図9(b)に示す2値（1ビット／セル）のデータ読み出しを行った場合の動作について説明する。この場合、リファレンス電圧60～62が同電位とする。また、この例では、NMOSトランジスタ10～12の電流供給能力を決定するトランジスタサイズがそれぞれ等しいものとする。同様に、PMOSトランジスタ70～72の電流供給能力（トランジスタサイズ）がそれぞれ等しいものと仮定する。なお、NMOSトランジスタおよびPMOSトランジスタの電流供給能力は、主にトランジスタサイズ

とゲート電位とによって決定される。

【0090】

選択されたメモリセル 9 のゲート電極に適切な電圧が印加されると、ビット線 8 の電位が低くなり、電流－電圧変換回路 100 に含まれるインバータ 101 の出力が高電位になる。これによって、セル電流分割手段 1 に含まれる NMOS トランジスタ 10～12 が導通状態になる。

【0091】

NMOS トランジスタ 10～12 が導通状態になると、ビット線 8 の電位によってセンス線 50～52 の電位が低くなり、電流負荷回路 30～32 に含まれる PMOS トランジスタ 70～72 のソースドレイン間に十分な電位差が生じる。

【0092】

この状態で PMOS トランジスタ 70～72 が導通状態になると、センス線 50～52 および NMOS トランジスタ 10～12 を介してビット線 8 が充電される。ビット線 8 の電位が高くなると、メモリセル 9 のドレイン－ソース間に電位差が生じて、セル電流が流れる。正しくセンス動作を行う為には、リファレンス電圧 60～62 はセル電流が図 9 (b) のリファレンス電流と等しいときにセンス電圧 50～52 と等しくなるように設定する。

【0093】

さらに、ビット線 8 が充電されて所定の電位になると、電流－電圧変換回路 100 に含まれるインバータ 101 の出力が低電位になり、NMOS トランジスタ 10～12 の電流供給能力が低くなる。ビット線 8 の電位、メモリセル 9 に流れるセル電流、および NMOS トランジスタ 10～12 に流れる電流の 3 者が釣り合ったときに、読み出し回路 1000 内の各電位および各電流が安定する。

【0094】

ここで、リファレンス電圧 60～62 が同電位である場合には、NMOS トランジスタ 10～12 のゲート電位およびドレイン－ソース間の電位がそれぞれ等しいため、NMOS トランジスタ 10～12 のそれぞれに、同じドレイン－ソース間電流を流すことができる。したがって、NMOS トランジスタ 10～12 に

はそれぞれ、セル電流の $1/3$ の電流が流れることになる。このとき、センス線 50～52 には、PMOS トランジスタ 70～72 との引き合いにより、それぞれ等しいセンス電圧が生じる。

【0095】

このセンス電圧 50～52 とリファレンス電圧 60～62 との電位差をセンスアンプ 40～42 にてそれぞれ増幅出力することにより、データ読み出し動作が行われる。このとき、上述したように各センス線 50～52 が同じ電位になるため、センスアンプ 40～42 は同じ動作を行い、同じ読み出し結果を出力することになる。したがって、リファレンス電圧 60～62 が同電位の場合には、メモリセル 9 からは”1” または”0” の 1 ビットの情報が取り出される。

【0096】

次に、前記 2 値での読み出し動作を踏まえて、本実施形態の半導体記憶装置の読み出し回路 1000 を用いて多値（2 ビット／セル；4 値）のデータ読み出しを行った場合の動作について説明する。ここでは、NMOS トランジスタ 10～12 の電流供給能力（トランジスタサイズ）は、2 値の読み出し動作の場合と同様に、それぞれ等しいものとする。これと同様に、PMOS トランジスタ 70～72 の電流供給能力（トランジスタサイズ）はそれぞれ等しいものとする。また、正しく読み出し動作を行うためには、セル電流が各リファレンス電流と等しいときに、センス線 50～52 の電位が各リファレンス線の電位（リファレンス電圧 60～62）と等しくなるように、トランジスタサイズなどの回路定数と、リファレンス電圧とを決定する必要がある。リファレンス電圧 60～62 は、2 値での読み出し動作の場合と異なって同電位ではなく、以下のように設定する。

【0097】

リファレンス電圧 60（相対的に高電位に設定）は、セル電流が図 9（a）中のデータ領域”00”と”01”との間のリファレンス電流値”H”と等しいときにセンス電圧 50 と等しくなるように設定する。また、リファレンス電圧 61（同じく中電位に設定）は、セル電流が図 9（a）中のデータ領域”01”と”10”との間のリファレンス電流値”M”と等しいときにセンス電圧 51 と等しくなるように設定する。同様に、リファレンス電圧 62（同じく低電位に設定）

は、セル電流が図 9 (a) 中のデータ領域” 10” と” 11” との間のリファレンス電流値” L” と等しいときにセンス電圧 52 と等しくなるように設定する。この結果、リファレンス電圧 60～62 の電位はそれぞれ、相対的に高電位／中電位／低電位となる。

【0098】

選択されたメモリセル 9 のゲート電極に適切な電圧が印加されると、ビット線 8 の電位が低くなり、電流－電圧変換回路 100 に含まれるインバータ 101 の出力が高電位になる。これによって、セル電流分割手段 1 に含まれる NMOS トランジスタ 10～12 が導通状態になると、ビット線 8 の電位によってセンス線 50～52 の電位が低くなり、電流負荷回路 30～32 に含まれる PMOS トランジスタ 70～72 のソースドレイン間に十分な電位差が生じる。

【0099】

この状態で PMOS トランジスタ 70～72 が導通状態になると、センス線 50～52 および NMOS トランジスタ 10～12 を介してビット線 8 が充電される。ビット線 8 の電位が高くなると、メモリセル 9 のドレイン－ソース間に電位差が生じて、セル電流が流れる。

【0100】

さらに、ビット線 8 が充電されて所定の電位になると、電流－電圧変換回路 100 に含まれるインバータ 101 の出力が低電位になり、NMOS トランジスタ 10～12 の電流供給能力が低くなる。ビット線 8 の電位、メモリセル 9 に流れるセル電流、および NMOS トランジスタ 10～12 に流れる電流の 3 者が釣り合ったときに、読み出し回路 1000 内の各電位および各電流が安定する。

【0101】

ここで、NMOS トランジスタ 10～12 が飽和領域（五極管領域）で動作している場合には、NMOS トランジスタ 10～12 のゲート電位が等しいため、NMOS トランジスタ 10～12 はドレイン－ソース間電位に大きく依存すること無く、ほぼ同じドレイン－ソース間電流を流すことができる。

【0102】

一方、リファレンス電圧 60～62 の電位がそれぞれ相対的に異なるため、P

MOSトランジスタ70の電流供給能力は、他のPMOSトランジスタ71および72に比べて低くなる。したがって、NMOSトランジスタ10～12にはほぼ同じ電流が流れると、センス線50の電位はセンス線51および52の電位と比較して、相対的に低い電位になる。センス線51とセンス線52との関係も同様であり、センス線51はセンス線52と比較して、相対的に低い電位になる。

【0103】

ここで、リファレンス電圧とセンス電圧との関係について考える。セル電流とリファレンス電流とが等しいときにリファレンス電圧とセンス電圧とが等しくなるようにリファレンス電圧を設定しているため、セル電流がリファレンス電流よりも大きいときには、セル電流分割手段1に含まれるNMOSトランジスタ10～12の電流供給能力が高くなり、センス電圧はリファレンス電圧よりも低くなる。また、セル電流がリファレンス電流よりも小さいときには、センス電圧はリファレンス電圧よりも高くなる。このセンス電圧50～52とリファレンス電圧60～62との電位差をセンスアンプ40～42にて増幅出力することにより、データ読み出し動作が行われることになる。センスアンプは、センス電圧がリファレンス電圧よりも高い時に”0”を出力し、センス電圧がリファレンス電圧よりも低い時に”1”を出力するように設定される。

【0104】

例えば、メモリセル9のセル電流が図9(a)中のデータ領域”00”にあった場合には、セル電流は三つのどのリファレンス電流よりも少なく、センス線50～52はリファレンス線60～62と比較してそれぞれ高い電位になる。このとき、センスアンプ40～42は、センス線50～52がリファレンス線60～62よりもそれぞれ高い電位であるため、それぞれ”0”を出力する。センスアンプ40～42から出力された3ビットの情報”000”を、図13に示すような論理を実現する図示しない論理回路を用いてデコードすることにより、”00”という2ビットの情報を取り出すことができる。

【0105】

これと同様に、メモリセル9のセル電流が図9(a)中のデータ領域”10”にあった場合には、セル電流はリファレンス電流値”H”および”M”よりも多

く、センス線 50 および 51 はリファレンス線 60 および 61 と比較してそれぞれ低い電位になる。また、セル電流はリファレンス電流値” L” よりも少なく、センス線 52 はリファレンス線 62 と比較して高い電位になる。このとき、センスアンプ 40～42 は、3 ビットの情報” 110” を出力する。センスアンプ 40～42 から出力された 3 ビットの情報” 110” を、図 13 に示すような論理を実現する図示しない論理回路を用いてデコードすることにより、” 10” という 2 ビットの情報を取り出すことができる。

【0106】

これと同様に、メモリセル 9 のセル電流が図 9 (a) 中のデータ領域” 01” および” 11” にあった場合についても、同様に、情報を取り出すことができる。

【0107】

以上のように、本実施形態の半導体記憶装置の読み出し回路 1000 によれば、分割センス回路 20～2n を並列動作させることによって、並列センス方式により多値の情報を読み出すことができる。

【0108】

さらに、本実施形態の半導体記憶装置の読み出し回路 1000 においては、電流負荷回路 30～3n に PMOS トランジスタ 70～7n を用いているため、分割センス回路 20～2n のそれぞれを、図 15 (b) に示すような非線形特性を有する回路として動作させることができる。

【0109】

図 3 は、図 1 の半導体記憶装置の読み出し回路 1000 におけるセンス電圧とセル電流との関係を示すグラフである。

【0110】

図 3 に示すように、半導体記憶装置の読み出し回路 1000 は、非線形特性を有しており、セル電流とリファレンス電流とが等しい点を中心とした領域のセンス電圧変換効率を高くして、読み出し動作マージンを大きくすることができる。

【0111】

このように、非線形特性を有し、かつ、並列センス方式も実現することができ

る理由は、セル電流分割手段 1 にてセル電流を分割することにより、一つの読み出し回路において複数の異なる動作点を持たせることが可能となったからである。

【0112】

以上のように、半導体記憶装置の読み出し回路 1000 によれば、読み出し時間の高速化に有利な並列センス方式と、多値型の半導体記憶装置に適した高い動作マージンを得ることができる非線形特性とを両立させることができるため、高速動作が可能で、より高い動作マージンを有する多値型の半導体記憶装置に適した読み出し回路を実現することができる。

(実施形態 2)

本実施形態 2 では、上記実施形態 1 の半導体記憶装置の読み出し回路 1000 に用いられるリファレンス回路 110 の一例について説明する。なお、上記実施形態 1 の半導体記憶装置の読み出し回路 1000 では、リファレンス回路の構成については特に説明しなかったが、本実施形態 2 では、リファレンス回路 110 を一例を挙げて説明する。

【0113】

図 4 は、図 1 のリファレンス回路 110 の構成例を示す回路図である。

【0114】

図 4 において、この半導体記憶装置のリファレンス回路 110 は、複数のリファレンス電圧設定回路 110-0 ~ 110-n を有しており、複数のリファレンス素子のうち、選択されたリファレンス素子 9-r0 ~ 9-rn にリファレンスビット線 8-r0 ~ 8-rn を介してリファレンス電流を供給し、そのリファレンス素子 9-r0 ~ 9-rn に流れるリファレンス電流をリファレンス電圧に変換するようになっている。

【0115】

通常、リファレンス素子 9-r0 ~ 9-rn は、適切なリファレンス電流を得ることができるように、閾値が厳密に調整されたメモリセルと同じ構造および同じ特性を有するリファレンスセルが用いられる。

【0116】

リファレンス電圧設定回路 $110-0 \sim 110-n$ において、選択されたリファレンス素子 $9-r0 \sim 9-rn$ に流れるリファレンス電流は、リファレンス電流分割手段 $1-r0 \sim 1-rn$ によって複数に分割される。本実施形態において、リファレンス電流分割手段 $1-r0 \sim 1-rn$ は、インバータを介してゲート電極とソース電極とが接続された複数の NMOS トランジスタ ($10-r0 \sim 1n-r0$) \sim ($10-rn \sim 1n-rn$) をそれぞれ含み、NMOS トランジスタ ($10-r0 \sim 1n-r0$) \sim ($10-rn \sim 1n-rn$) のそれぞれによって、分割リファレンス電流のそれぞれをリファレンスビット線 $8-r0 \sim 8-rn$ に供給する複数のサブリファレンス線 ($50-r0 \sim 5n-r0$) \sim ($50-rn \sim 5n-rn$) とリファレンスビット線 $8-r0 \sim 8-rn$ とがそれぞれ電気的に接続または分離される。また、上記インバータおよびリファレンス電流分割手段 $1-r0 \sim 1-rn$ によって、分割リファレンス電流を、その分割リファレンス電流に対応する電圧に変換する電流-電圧変換回路 $100-r0 \sim 100-rn$ が構成されている。なお、図 4 中では、リファレンス電流分割手段 $1-r0 \sim 1-rn$ を含む電流-電圧変換回路 $100-r1 \sim 100-rn$ の内部を省略しているが、電流-電圧変換回路 $100-r0$ と同じ構成である。

【0117】

複数のサブリファレンス線 ($50-r0 \sim 5n-r0$) \sim ($50-rn \sim 5n-rn$) のそれぞれは、分割リファレンス電流を各サブリファレンス線に供給する電流負荷回路 ($30-r0 \sim 3n-r0$) \sim ($30-rn \sim 3n-rn$) のそれぞれと接続されている。

【0118】

リファレンス電圧設定回路 $110-0 \sim 110-n$ からはそれぞれ、一つのリファレンス電圧 $60r \sim 6nr$ が出力される。例えばリファレンス電圧設定回路 $110-0$ においては、電流負荷回路 $30-r0$ からリファレンス電圧 $60r$ が出力され、リファレンス電圧設定回路 $110-1$ においては電流負荷回路 $30-r1$ からリファレンス電圧が $61r$ 出力され、リファレンス電圧設定回路 $110-n$ においては電流負荷回路 $3n-rn$ からリファレンス電圧 $6nr$ が出力される。このように複数のリファレンス電圧設定回路のうちの一つから出力されるリ

ファレンス電圧によって、他のリファレンス電圧設定回路に含まれる電流負荷回路の少なくとも一つの電流供給能力を制御可能とされている。

【0119】

本実施形態では、電流負荷回路 ($30-r_0 \sim 3n-r_0$) \sim ($30-r_n \sim 3n-r_n$) はそれぞれ、PMOSトランジスタ ($70-r_0 \sim 7n-r_0$) \sim ($70-r_n \sim 7n-r_n$) を含んでおり、各リファレンス電圧設定回路の電流負荷回路に含まれるPMOSトランジスタの少なくとも一つが、他のリファレンス電圧設定回路の電流負荷回路に含まれるPMOSトランジスタとカレントミラー接続されている。例えば、リファレンス電圧設定回路 $110-0$ において電流負荷回路 $30-r_0$ に含まれるPMOSトランジスタ $70-r_0$ から出力されるリファレンス電圧 $60r$ は、他のリファレンス電圧設定回路 $110-1 \sim 110-n$ において電流負荷回路 $30-r_1 \sim 30-r_n$ に含まれるPMOSトランジスタ $70-r_1 \sim 70-r_n$ のゲート電極に入力されてカレントミラー回路が構成されており、これによって電流負荷回路 $30-r_1 \sim 30-r_n$ の電流供給能力を制御することができる。リファレンス電圧 $61r \sim 6nr$ についても、同様に、それが生成されたリファレンス電圧設定回路以外のリファレンス電圧設定回路に含まれる電流負荷回路の電流供給能力を制御可能な構成になっている。例えば、リファレンス電圧設定回路 $110-1$ から出力されるリファレンス電圧 $61r$ は電流負荷回路 $31-r_1$ に含まれるPMOSトランジスタ $71-r_1$ によってカレントミラー回路が構成され、リファレンス電圧設定回路 $110-n$ から出力されるリファレンス電圧 $6nr$ は電流負荷回路 $3n-r_n$ に含まれるPMOSトランジスタ $7n-r_n$ によってカレントミラー回路が構成されている。

【0120】

さらに、各リファレンス電圧設定回路の電流負荷回路に含まれるPMOSトランジスタの少なくとも一つが、読み出し回路の電流負荷回路に含まれるPMOSトランジスタともカレントミラー接続されている。例えば、リファレンス電圧設定回路 $110-0$ において電流負荷回路 $30-r_0$ に含まれるPMOSトランジスタ $70-r_0$ から出力されるリファレンス電圧 $60r$ は、図1に示す半導体記憶装置の読み出し回路 1000 において電流負荷回路 30 に含まれるPMOSト

ランジスタ 70 のゲート電極に入力されてカレントミラーが構成されており、これによって電流負荷回路 30 の電流供給能力を制御することができる。リファレンス電圧 61r ~ 6nr についても、同様に、半導体記憶装置の読み出し回路に含まれる電流負荷回路の電流供給能力を制御可能な構成になっている。例えば、リファレンス電圧設定回路 110-1 から出力されるリファレンス電圧 61r は電流負荷回路 31-r1 に含まれる PMOS トランジスタ 71-r1 と電流負荷回路 31 に含まれる PMOS トランジスタ 71 とがカレントミラー接続され、リファレンス電圧設定回路 110-n から出力されるリファレンス電圧 6nr は電流負荷回路 3n-rn に含まれる PMOS トランジスタ 7n-rn と電流負荷回路 3n に含まれる PMOS トランジスタ 7n とがカレントミラー接続されている。

【0121】

上記構成により、以下、本実施形態 2 のリファレンス回路 110 の動作について説明する。ここでは、図 9 (a) に示す 2 ビット／セルのデータ読み出し動作を実現する回路構成について説明するため、図 4 中の符号に含まれる n を 2 と定義する。したがって、例えば、図 4 に示すリファレンス電流分割手段 1 を構成する NMOS トランジスタ 1n-r0 を 12-r0、電流負荷回路 3n-r0 を 32-r0、サブリファレンス線 5n-r0 を 52-r0、リファレンス電圧 6nr を 62r、電流負荷回路 32-r0 を構成する PMOS トランジスタ 7n-r0 を 72-r0、リファレンスビット線 8-rn を 8-r2、リファレンス素子 9-rn を 9-r2 として説明する。なお、m ビット／セルのデータ読み出し動作を実現する場合には、n を $2^m - 1$ に設定すればよい。

【0122】

また、図 1 の読み出し回路 1000 および図 4 のリファレンス回路 110 において、リファレンス電圧線群 6 と 6r、リファレンス電圧 60 ~ 62 と 60r ~ 62r とは同じものとして、それぞれをリファレンス電圧線群 6、リファレンス電圧 60 ~ 62 として説明を行う。

【0123】

また、リファレンス素子 9-r0 により、図 9 (a) に示すデータ領域” 00

”と”01”との間のリファレンス電流値”H”が得られ、リファレンス素子9-r1により、図9(a)に示すデータ領域”01”と”10”との間のリファレンス電流値”M”が得られ、リファレンス素子9-r2により、図9(a)に示すデータ領域”10”と”11”との間のリファレンス電流値”L”が得られるものとする。

【0124】

さらに、PMOSトランジスタ70-r0~72-r0、70-r1~72-r1および70-r2~72-r2の電流供給能力(トランジスタサイズ)は、それぞれ等しいものとする。同様に、NMOSトランジスタ10-r0~12-r0、10-r1~12-r1および10-r2~12-r2の電流供給能力(トランジスタサイズ)もそれぞれ等しいものとする。

【0125】

リファレンス電流設定回路110-0~110-2において、選択されたリファレンス素子9-r0~9-r2のゲート電極に適切な電圧が印加されると、リファレンスビット線8-r0~8-r2の電位が低くなり、電流-電圧変換回路100-r0~100-r2に含まれるインバータ101-r0~101-r2の出力が高電位になる。これによって、リファレンス電流分割手段1-r0~1-r2に含まれるNMOSトランジスタ(10-r0~12-r0)~(10-r2~12-r2)が導通状態になる。

【0126】

NMOSトランジスタ(10-r0~12-r0)~(10-r2~12-r2)が導通状態になると、リファレンスビット線8-r0~8-r2の電位によってサブリファレンス線(50-r0~52-r0)~(50-r2~52-r2)の電位が低くなり、電流負荷回路(30-r0~32-r0)~(30-r2~32-r2)に含まれるPMOSトランジスタ(70-r0~72-r0)~(70-r2~72-r2)のソースドレイン間に十分な電位差が生じる。

【0127】

これによって、ゲート電極とドレイン電極とが接続されたPMOSトランジスタ70-r0、71-r1および72-r2が導通状態になると、それぞれに接

続された $70-r1$ 、 $70-r2$ 、 $71-r0$ 、 $71-r2$ 、 $72-r0$ および $72-r1$ も導通状態になり、サブリファレンス線 ($50-r0 \sim 52-r0$) \sim ($50-r2 \sim 52-r2$) および NMOS トランジスタ ($10-r0 \sim 12-r0$) \sim ($10-r2 \sim 12-r2$) を介してリファレンスビット線 $8-r0 \sim 8-r2$ が充電される。ビット線 $8-r0 \sim 8-r2$ の電位が高くなると、リファレンス素子 $9-r0 \sim 9-r2$ のドレイン-ソース間に電位差が生じて、リファレンス電流が流れる。

【0128】

さらに、リファレンスビット線 $8-r0 \sim 8-r2$ が充電されて所定の電位になると、電流-電圧変換回路 $100-r0 \sim 100-r2$ に含まれるインバータ $101-r0 \sim 101-r2$ の出力が低電位になり、NMOS トランジスタ ($10-r0 \sim 12-r0$) \sim ($10-r2 \sim 12-r2$) の電流供給能力が低くなる。リファレンスビット線 $8-r0 \sim 8-r2$ の電位、リファレンス素子 $9-r0 \sim 9-r2$ に流れるリファレンス電流、および NMOS トランジスタ ($10-r0 \sim 12-r0$) \sim ($10-r2 \sim 12-r2$) に流れる電流の 3 者が釣り合ったときに、リファレンス回路 110 内の各電位および各電流が安定する。

【0129】

ここで、リファレンス素子 $9-r0$ は、図 9 (a) に示すデータ領域 "00" と "01" との間のリファレンス電流値 "H" が得られるように設定され、リファレンス素子 $9-r1$ は、図 9 (a) に示すデータ領域 "01" と "10" との間のリファレンス電流値 "M" が得られるように設定され、リファレンス素子 $9-r2$ は、図 9 (a) に示すデータ領域 "10" と "11" との間のリファレンス電流値 "L" が得られるように設定されているため、リファレンス電圧 $60r$ 、 $61r$ および $62r$ は、相対的に高電位、中電位および低電位となる。

【0130】

図 1 に示す分割センス回路 20 に着目して説明を行うと、PMOS トランジスタ 70 と図 4 に示すリファレンス電圧設定回路 110-0 の PMOS トランジスタ $70-r0$ とがカレントミラー接続されており、分割センス回路 20 には、リファレンス電圧設定回路 110-0 から出力されるリファレンス電圧 60 (図 4

のリファレンス電圧 60 r) が入力される。

【0131】

一方、リファレンス電圧設定回路 110-0 には、三つの電流負荷回路 30-r 0 ~ 32-r 0 が含まれている。リファレンス電圧 60 を決定するために能動的に動作する電流負荷回路 30-r 0 を除いて、電流負荷回路 31-r 0 および 32-r 0 にはそれぞれ、リファレンス電圧 61 を決定するために能動的に動作する電流負荷回路 31-r 1 から出力されるリファレンス電圧 61 およびリファレンス電圧 62 を決定するために能動的に動作する電流負荷回路 32-r 1 から出力されるリファレンス電圧 62 が入力されて、電流供給能力が制御されている。同様に、図 1 に示す分割センス回路 21 および 22 に含まれる電流負荷回路 31 および 32 にも、同様のリファレンス電圧 61 および 62 が入力されている。

【0132】

したがって、電流負荷回路 31 と 31-r 0 は同じリファレンス電圧 61 によってその電流供給能力が制御され、同様に、電流負荷回路 32 と 32-r 0 は同じリファレンス電圧 62 によってその電流供給能力が制御されており、メモリセル 9 を通って流れるセル電流およびリファレンス素子 9-r 0 を通って流れるリファレンス電流に与える影響は、ほぼ等価であり、特に両電流が等しい場合においては、完全に等価であると言える。

【0133】

これらの影響を読み出し回路およびリファレンス回路から相殺すると、電流負荷回路 30 に含まれる PMOS トランジスタ 70 と、電流負荷回路 30-r 0 に含まれる PMOS トランジスタ 70-r 0 とは、図 15 (a) に示すようなカレントミラー接続された関係にあり、図 15 (b) に示すように、より大きな動作マージンを得ることができる非線形の負荷特性を示すことが判る。

【0134】

したがって、分割センス回路 20 のセンスアンプ 40 では、リファレンス電流値” H” に設定されたリファレンス素子 9-r 0 から生成されるリファレンス電圧 60 によって、データ領域” 00” と” 01” との境界に関する判定を行うことが可能である。これと同様に、分割センス回路 21 のセンスアンプ 41 では、

リファレンス電流値”M”に設定されたリファレンス素子 $9-r1$ から生成されるリファレンス電圧 61 によって、データ領域” 01 ”と” 10 ”との境界に関する判定を行うことが可能であり、分割センス回路 22 のセンスアンプ 42 では、リファレンス電流値”L”に設定されたリファレンス素子 $9-r2$ から生成されるリファレンス電圧 62 によって、データ領域” 10 ”と” 11 ”との境界に関する判定を行うことが可能である。

【0135】

以上のように、本実施形態のリファレンス回路 110 によれば、図1に示す半導体記憶装置の読み出し回路 1000 に必要とされるリファレンス電圧を容易に生成できると共に、読み出し回路 1000 およびリファレンス回路 110 に含まれる各トランジスタのレイアウトパターンを同等にすることができるため、同じトランジスタ特性を有する回路を容易に作製することができる。したがって、製造工程において生じるトランジスタ特性バラツキなどへの耐性が比較的強く、多値型の半導体記憶装置に適したリファレンス回路を実現することができる。

(実施形態3)

本実施形態3では、リファレンス回路を二つ設けている半導体記憶装置の読み出し回路について説明する。

【0136】

図5は、本実施形態の半導体記憶装置の読み出し回路 2000 の構成を示す回路図である。なお、この図5以降において、上記実施形態1、2と同様の機能を有する部分については同じ番号を付し、相違点について説明を行う。

【0137】

この半導体記憶装置の読み出し回路 2000 は、分割センス回路 $20\sim 2n$ に、それぞれ、2種類のリファレンス電圧が入力されている。センスアンプ $40\sim 4n$ には、第1のリファレンス回路 120 から出力される第1のリファレンス電圧群5（第1のリファレンス $50r\sim 5nr$ を含む）が入力されている。また、電流負荷回路 $30\sim 3n$ には、第2のリファレンス回路 110 から、各電流負荷回路 $30\sim 3n$ の電流供給能力を制御するための第2のリファレンス電圧群（第2のリファレンス $60\sim 6n$ を含む）6が入力されている。

【0138】

図6は、図5のリファレンス回路120の要部構成を示す回路図である。

【0139】

図6において、このリファレンス回路120は、複数のリファレンス電圧設定回路120-0~120-nを有しており、複数のリファレンス素子のうち、選択されたリファレンス素子9-r0~9-rnにリファレンスビット線8-r0~8-rnを介してリファレンス電流を供給し、そのリファレンス素子9-r0~9-rnに流れるリファレンス電流をリファレンス電圧に変換するようになっている。

【0140】

通常、リファレンス素子9-r0~9-rnは、適切なリファレンス電流を得ることができるように、閾値が厳密に調整されたメモリセルと同じ構造および同じ特性を有するリファレンスセルが用いられる。

【0141】

リファレンス電圧設定回路120-0~120-nにおいて、選択されたリファレンス素子9-r0~9-rnに流れるリファレンス電流は、リファレンス電流分割手段1-r0~1-rnによって複数の分割される。本実施形態において、リファレンス電流分割手段1-r0~1-rnは、インバータを介してゲート電極とソース電極とが接続された複数のNMOSトランジスタ(10-r0~1n-r0)~(10-rn~1n-rn)をそれぞれ含み、NMOSトランジスタ(10-r0~1n-r0)~(10-rn~1n-rn)のそれぞれによって、分割リファレンス電流のそれぞれをリファレンスビット線8-r0~8-rnに供給する複数のサブリファレンス線(50-r0~5n-r0)~(50-rn~5n-rn)とリファレンスビット線8-r0~8-rnとがそれぞれ電氣的に接続・分離される。また、上記インバータおよびリファレンス電流分割手段1-r0~1-rnによって、分割リファレンス電流を、その分割リファレンス電流に対応する電圧に変換する電流-電圧変換回路100-r0~100-rnが構成されている。なお、図6中では、リファレンス電流分割手段1-r0~1-rnを含む電流-電圧変換回路100-r1~100-rnの内部を省略し

ているが、電流－電圧変換回路 $100-r0$ と同じ構成である。

【0142】

複数のサブリファレンス線 ($50-r0 \sim 5n-r0$) \sim ($50-rn \sim 5n-rn$) のそれぞれは、分割リファレンス電流を各サブリファレンス線に供給する電流負荷回路 ($30-r0 \sim 3n-r0$) \sim ($30-rn \sim 3n-rn$) のそれぞれと接続されている。

【0143】

リファレンス電圧設定回路 $120-0 \sim 120-n$ からは、それぞれ、一つのリファレンス電圧 $50r \sim 5nr$ が出力される。リファレンス回路 120 とリファレンス回路 110 との違いは、リファレンス回路 110 では、リファレンス電圧設定回路から出力されるリファレンス電圧が、他のリファレンス電圧設定回路に含まれる電流負荷回路の少なくとも一つの電流供給能力を制御するためにカレントミラー接続されているのに対して、リファレンス回路 120 では、リファレンス電位 $50r \sim 5nr$ が、リファレンス電圧群 $5r$ として外部に出力されていることである。

【0144】

また、リファレンス回路 120 において、リファレンス電圧設定回路 $120-0 \sim 120-n$ は、それぞれ、リファレンス回路 110 から出力されるリファレンス電圧 $60r \sim 6nr$ によって電流供給能力が制御される。

【0145】

本実施形態では、電流負荷回路 ($30-r0 \sim 3n-r0$) \sim ($30-rn \sim 3n-rn$) は、それぞれ、PMOSトランジスタ ($70-r0 \sim 7n-r0$) \sim ($70-rn \sim 7n-rn$) を含んでおり、リファレンス回路 110 を構成するリファレンス電圧設定回路の電流負荷回路に含まれるPMOSトランジスタの少なくとも一つが、リファレンス回路 120 のリファレンス電圧設定回路の電流負荷回路に含まれるPMOSトランジスタとカレントミラー接続されている。例えば、リファレンス回路 110 のリファレンス電圧設定回路 $110-0$ において電流負荷回路 $30-r0$ に含まれるPMOSトランジスタ $70-r0$ から出力されるリファレンス電圧 $60r$ は、リファレンス回路 120 のリファレンス電圧設

定回路 $120-0 \sim 120-n$ において電流負荷回路 $30-r0 \sim 30-rn$ に含まれる PMOS トランジスタ $70-r0 \sim 70-rn$ のゲート電極に入力されてカレントミラーが構成されており、これによって電流負荷回路 $30-r0 \sim 30-rn$ の電流供給能力を制御することができる。リファレンス回路 110 から出力されるリファレンス電圧 $61r \sim 6nr$ についても、同様に、リファレンス回路 120 のリファレンス電圧設定回路 $120-0 \sim 120-n$ に含まれる電流負荷回路の電流供給能力を制御可能な構成になっている。

【0146】

以下に、このように構成された本実施形態の半導体記憶装置のリファレンス回路 120 の動作について、説明する。ここでは、図 9 (a) に示す 2 ビット／セルのデータ読み出し動作を実現する回路構成について説明するため、図 6 中の符号に含まれる n を 2 と定義する。従って、例えば、図 6 に示すリファレンス電流分割手段 1 を構成する NMOS トランジスタ $1n-r0$ を $12-r0$ 、電流負荷回路 $3n-r0$ を $32-r0$ 、サブリファレンス線 $5n-r0$ を $52-r0$ 、リファレンス電圧 $5nr$ を $52r$ 、リファレンス電圧 $6nr$ を $62r$ 、電流負荷回路 $32-r0$ を構成する PMOS トランジスタ $7n-r0$ を $72-r0$ 、リファレンスビット線 $8-rn$ を $8-r2$ 、リファレンス素子 $9-rn$ を $9-r2$ として説明する。なお、 m ビット／セルのデータ読み出し動作を実現する場合には、 n を $2m-1$ に設定すればよい。

【0147】

また、リファレンス回路 120 のリファレンス素子 $9-r0$ により、図 9 (a) に示すデータ領域 “00” と “01” との間のリファレンス電流値 “H” が得られ、リファレンス素子 $9-r1$ により、図 9 (a) に示すデータ領域 “01” と “10” との間のリファレンス電流値 “M” が得られ、リファレンス素子 $9-r2$ により、図 9 (a) に示すデータ領域 “10” と “11” との間のリファレンス電流値 “L” が得られるものとする。これによって、リファレンス電圧群 5 に含まれるリファレンス電圧 $50r \sim 52r$ と、リファレンス電圧群 6 に含まれるリファレンス電圧 $60 \sim 62$ とは、それぞれ、同じ電圧になる。

【0148】

さらに、リファレンス回路 120 において、PMOS トランジスタ 70-r0 ~ 72-r0、70-r1 ~ 72-r1 および 70-r2 ~ 72-r2 の電流供給能力 (トランジスタサイズ) は、それぞれ等しいものとする。同様に、NMOS トランジスタ 10-r0 ~ 12-r0、10-r1 ~ 12-r1 および 10-r2 ~ 12-r2 の電流供給能力 (トランジスタサイズ) は、それぞれ等しいものとする。

【0149】

リファレンス電流設定回路 120-0 ~ 120-2 において、選択されたリファレンス素子 9-r0 ~ 9-r2 のゲート電極に適切な電圧が印加されると、リファレンスビット線 8-r0 ~ 8-r2 の電位が低くなり、電流-電圧変換回路 100-r0 ~ 100-r2 に含まれるインバータ 101-r0 ~ 101-r2 の出力が高電位になる。これによって、リファレンス電流分割手段 1-r0 ~ 1-r2 に含まれる NMOS トランジスタ (10-r0 ~ 12-r0) ~ (10-r2 ~ 12-r2) が導通状態になる。

【0150】

NMOS トランジスタ (10-r0 ~ 12-r0) ~ (10-r2 ~ 12-r2) が導通状態になると、リファレンスビット線 8-r0 ~ 8-r2 の電位によってサブリファレンス線 (50-r0 ~ 52-r0) ~ (50-r2 ~ 52-r2) の電位が低くなり、電流負荷回路 (30-r0 ~ 32-r0) ~ (30-r2 ~ 32-r2) に含まれる PMOS トランジスタ (70-r0 ~ 72-r0) ~ (70-r2 ~ 72-r2) のソースドレイン間に十分な電位差が生じる。

【0151】

これによって、同様に動作しているリファレンス回路 110 に含まれる PMOS トランジスタ 70-r0、71-r1 および 72-r2 が導通状態になると、それぞれに接続された (70-r0 ~ 72-r0) ~ (70-r2 ~ 72-r2) も導通状態になり、サブリファレンス線 (50-r0 ~ 52-r0) ~ (50-r2 ~ 52-r2) および NMOS トランジスタ (10-r0 ~ 12-r0) ~ (10-r2 ~ 12-r2) を介してリファレンスビット線 8-r0 ~ 8-r2 が充電される。ビット線 8-r0 ~ 8-r2 の電位が高くなると、リファレン

ス素子 $9-r_0 \sim 9-r_2$ のドレイン-ソース間に電位差が生じて、リファレンス電流が流れる。

【0152】

さらにリファレンスビット線 $8-r_0 \sim 8-r_2$ が充電されて所定の電位になると、電流-電圧変換回路 $100-r_0 \sim 100-r_2$ に含まれるインバータ $101-r_0 \sim 101-r_2$ の出力が低電位になり、NMOS トランジスタ ($10-r_0 \sim 12-r_0$) \sim ($10-r_2 \sim 12-r_2$) の電流供給能力が低くなる。そして、リファレンスビット線 $8-r_0 \sim 8-r_2$ の電位、リファレンス素子 $9-r_0 \sim 9-r_2$ に流れるリファレンス電流、および NMOS トランジスタ ($10-r_0 \sim 12-r_0$) \sim ($10-r_2 \sim 12-r_2$) に流れる電流の 3 者が釣り合ったときに、リファレンス回路 110 内の各電位および各電流が安定する。

【0153】

ここで、リファレンス素子 $9-r_0$ は、図 9 (a) に示すデータ領域 "00" と "01" との間のリファレンス電流値 "H" が得られるように設定され、リファレンス素子 $9-r_1$ は、図 9 (a) に示すデータ領域 "01" と "10" との間のリファレンス電流値 "M" が得られるように設定され、リファレンス素子 $9-r_2$ は、図 9 (a) に示すデータ領域 "10" と "11" との間のリファレンス電流値 "L" が得られるように設定されているため、リファレンス電圧 $50r$ 、 $51r$ および $52r$ は、相対的に高電位、中電位および低電位となる。

【0154】

図 5 に示す分割センス回路 $40 \sim 42$ には、それぞれ、リファレンス回路 120 のリファレンス電圧設定回路 $120-0 \sim 120-2$ から出力されるリファレンス電圧 $50r \sim 52r$ が入力される。そして、分割センス回路 20 のセンスアンプ 40 では、リファレンス回路 120 においてリファレンス電流値 "H" に設定されたリファレンス素子 $9-r_0$ から生成されるリファレンス電圧 $50r$ によって、データ領域 "00" と "01" との境界に関する判定が行われる。同様に、分割センス回路 21 のセンスアンプ 41 では、リファレンス回路 120 においてリファレンス電流値 "M" に設定されたリファレンス素子 $9-r_1$ から生成さ

れるリファレンス電圧 51 によって、データ領域” 01” と” 10” との境界に関する判定が行われ、分割センス回路 22 のセンスアンプ 42 では、リファレンス回路 120 においてリファレンス電流値” L” に設定されたリファレンス素子 9-r2 から生成されるリファレンス電圧 52 によって、データ領域” 10” と” 11” との境界に関する判定が行われる。

【0155】

以上のように、本実施形態の半導体記憶装置の読み出し回路 2000 では、リファレンス電圧群 5 およびリファレンス電圧群 6 が分離独立している。これによって、以下のような効果が得られる。

【0156】

図 1 に示す実施形態 1 の半導体記憶装置の読み出し回路 1000 において、センスアンプ 40 の両入力端子に接続されるリファレンス電圧 60 およびセンス線 50 の容量に注目すると、リファレンス電圧 60 には、リファレンス回路 110 に含まれる PMOS トランジスタ 70-r0 のゲート容量とドレイン容量、サブリファレンス線 50-r0 の配線容量、PMOS トランジスタ 70 のゲート容量およびセンスアンプ入力端子容量等が付加される。一方、センス線 50 には、センス線 50 の配線容量およびセンスアンプ入力端子容量等が付加される。従って、センス線 50 に付加される容量よりも、リファレンス電圧 60 に付加される容量の方が大きくなることが多い。この容量の差によって、リファレンス電圧およびセンス電圧の両信号が電氣的に安定するまでの時間、電源にノイズが伝播した場合の揺れなどに差が生じることが考えられる。他のセンスアンプ 41~4n に注目した場合についても、同様である。これは、読み出し回路 1000 を用いて半導体記憶装置の読み出しを行う際の読み出し時間に大きな影響を与えることが考えられる。

【0157】

これに対して、本実施形態の半導体記憶装置の読み出し回路 2000 では、電流負荷回路の電流供給能力を制御するためのリファレンス電圧 60~6n と、センスアンプの入力となるリファレンス電圧 50r~5nr とを分割することにより、センスアンプ 40~42 の両入力端子に接続される信号の容量差を低減する

ことができ、上述したようなノイズ等による影響を最小限に抑えることができる。

これにより、読み出し動作マージンの拡大を図ることが可能となり、多値型の半導体記憶装置により適した読み出し回路を実現する事ができる。

(実施形態 4)

上記実施形態 1～3 では、セル電流分割手段 1 に含まれる NMOS トランジスタ $10 \sim 1n$ の電流供給能力 (トランジスタサイズ) およびリファレンス電流分割手段 $1r-0 \sim 1r-n$ に含まれる NMOS トランジスタ ($10-r0 \sim 1r-0$) \sim ($10-rn \sim 1r-n$) の電流供給能力 (トランジスタサイズ) を等しく設定した例について説明したが、本実施形態 4 では、これらの NMOS トランジスタの電流供給能力を最適化することにより、さらに動作マージンを増やすことが可能になる。

【0158】

以下に、上記図 4、図 7 および図 8 を用いて、本実施形態の半導体記憶装置の読み出し回路およびリファレンス回路について、上記実施形態との相違点について説明を行う。本実施形態でも、図 9 (a) に示す 2 ビット／セルのデータ読み出し動作を実現する回路構成について説明するため、図中の符号に含まれる n を 2 と定義する

本実施形態において、読み出し回路は、電流供給能力 (トランジスタサイズ) が異なる NMOS トランジスタ $10 \sim 12$ を含むセル電流分割手段 1 を備えている。また、リファレンス回路 110 内の NMOS トランジスタ $10-r0 \sim 12-r0$ 、 $10-r1 \sim 12-r1$ および $10-r2 \sim 12-r2$ についても、それぞれに対応する NMOS トランジスタ $10 \sim 12$ と同様に電流供給能力が設定されている。

【0159】

上述したように、リファレンス電圧 $60 \sim 62$ の電圧の関係は、

リファレンス電圧 $60 >$ リファレンス電圧 $61 >$ リファレンス電圧 62

であり、それらに制御される電流負荷回路 $30 \sim 32$ の電流供給能力の関係は、
電流負荷回路 $30 <$ 電流負荷回路 $31 <$ 電流負荷回路 32

となる。これは、リファレンス電圧 60 がリファレンス電流” H” を示し、リファレンス電圧 62 がより電流量が多いリファレンス電流” L” を示しているからである。

【0160】

図 7 は、NMOS トランジスタ 10～12 が同じ電流供給能力（トランジスタサイズ）を有する場合について、セル電流と NMOS トランジスタ 10～12 のソース～ドレイン間電流との関係を示すグラフである。

【0161】

セル電流はセル電流分割手段 1 によって分割されたものであるので、NMOS トランジスタ 10～12 のソースドレイン間電流の総和は、セル電流と等しくなる。

【0162】

セル電流がリファレンス電流” L” 付近にある点 C 付近では、セル電流分割手段 1 によって NMOS トランジスタ 12 により多くの電流が分配される。これは、電流負荷回路 30～32 の電流供給能力が異なるためであり、NMOS トランジスタ 10 および 11 は、図 7 に示すように、電流供給能力以上の電流を供給することができない。そのため、最も電流供給能力が高い NMOS トランジスタ 12 に、より多くの電流が分配される。しかしながら、この場合には、電流負荷回路 30～32 に含まれる PMOS トランジスタ 70～72 によって電流制限がかかるため、NMOS トランジスタ 10～12 によるセンス線 50～52 の電位への影響はほとんど生じない。

【0163】

一方、セル電流がリファレンス電流” H” 付近にある点 A 付近では、NMOS トランジスタ 10～12 のソース～ドレイン間電流は、それぞれ、ほぼ同じ値を取る。この理由は、以下のように考えられる。セル電流が少なくなることにより、電流負荷回路 30～32 に含まれる PMOS トランジスタ 70～72 によって電流が制限されることがなくなり、センス線 50～52 がいずれも高電位になる。そして、NMOS トランジスタ 10～12 のソース～ドレイン間の電位差が大きくなることにより、それぞれが飽和領域（5 極間領域）で動作して、ほぼ同じ

電流に飽和する。従って、NMOSトランジスタ10～12により、セル電流がほぼ等しく3分割される。

【0164】

上述したように、リファレンス電流”L”による領域境界の判定にはNMOSトランジスタ12のドレインが接続されているセンスアンプ42が対応し、リファレンス電流”H”による領域境界の判定にはNMOSトランジスタ10のドレインが接続されているセンスアンプ40が対応している。

【0165】

図7に示す点C付近においては、セル電流分割手段1によって、その境界判定を行う分割センス回路22に最も多くのセル電流が割り当てられるが、点A付近においては、その境界判定を行う分割センス回路20にはセル電流の1/3が割り当てられるに過ぎない。その結果、セル電流がリファレンス電流”L”付近にある場合と、リファレンス電流”H”付近にある場合とでは、相対的な動作マージンに差が生じることになる。

【0166】

そこで、本実施形態では、セル電流が小さくなった場合でも、境界判定を行う分割センス回路に対してより多くの電流が割り当てられるように、セル電流分割手段1に含まれるNMOSトランジスタ10～12の電流供給能力を、それぞれに接続される電流負荷回路30～32の電流供給能力が大きいほど小さく、それぞれに接続される電流負荷回路30～32の電流供給能力が小さいほど大きく設定する。本実施形態では、電流負荷回路30～32の電流供給能力の関係が
電流負荷回路30<電流負荷回路31<電流負荷回路32

であるので、NMOSトランジスタ10～12の電流供給能力（トランジスタサイズ）の関係を

$$\text{NMOSトランジスタ10} > \text{NMOSトランジスタ11} > \text{NMOSトランジスタ12}$$

のように設定する。また、リファレンス回路110内のNMOSトランジスタ10-r0～12-r0、10-r1～12-r1および10-r2～12-r2についても、それぞれに対応するNMOSトランジスタ10～12と同様に、電

流供給能力の関係を、

$\text{NMOSトランジスタ } 10-r0 \sim 10-r2 > \text{NMOSトランジスタ } 11-r0 \sim 11-r2 > \text{NMOSトランジスタ } 12-r0 \sim 12-r2$

のように設定する。

【0167】

図8は、NMOSトランジスタ10～12の電流供給能力（トランジスタサイズ）の関係を

$\text{NMOSトランジスタ } 10 > \text{NMOSトランジスタ } 11 > \text{NMOSトランジスタ } 12$

のように設定した場合について、セル電流とNMOSトランジスタ10～12のソース～ドレイン間電流との関係を示すグラフである。

【0168】

セル電流が大きい場合には、電流負荷回路30～32によって電流制限がかかるため、図7に示す場合と同様であり、動作は特に変わらない。

【0169】

一方、セル電流が小さい場合には、NMOSトランジスタ10～12が飽和領域で動作したとしても、それぞれの電流供給能力に差があるため、異なる電流値に飽和する。例えば、NMOSトランジスタ10～12の電流能力を3：2：1の比に設定した場合、点A'付近では、分割センス回路20に接続されているNMOSトランジスタ10にはセル電流の3／6が分配され、NMOSトランジスタ11にはセル電流の2／6が分配され、NMOSトランジスタ12にはセル電流の1／6が分配される。このように、セル電流が小さい場合においても、その境界判定を行う分割センス回路20に対してより多くの電流を分配することができる。その結果、セル電流の多少による相対的な動作マージンの差を少なくすることができ、より高速動作が可能で精度が高い読み出し回路を実現することができる。

【0170】

【発明の効果】

以上説明したように、本発明の半導体記憶装置の読み出し回路によれば、読み

出し時間の高速化に有利な並列センス方式と、多値型の半導体記憶装置に適し、高い動作マージンを得ることができる非線形の負荷特性とを両立させることができ、高速動作が可能で、かつより高い動作マージンを有する半導体記憶装置の読み出し回路を得ることができる。

【0171】

また、本発明の半導体記憶装置のリファレンス回路によれば、本発明の半導体記憶装置の読み出し回路に必要とされるリファレンス電圧を容易に生成することができると共に、読み出し回路およびリファレンス回路に含まれる各トランジスタのレイアウトパターンを同等にすることができるため、製造工程上で生じるトランジスタ特性のばらつき等に対する耐性が比較的強い、多値型の半導体記憶装置に適した半導体記憶装置のリファレンス回路を提供することができる。

【0172】

さらに、セル電流分割手段およびリファレンス電流分割手段に含まれるNMOSトランジスタの電流供給能力を最適化することにより、セル電流の多少による相対的な動作マージンの差を少なくすることができるため、より高速動作が可能で、精度が高い半導体記憶装置の読み出し回路を提供することができる。

【0173】

本発明の半導体記憶装置の読み出し回路およびリファレンス回路を用いることにより、高速動作が可能で、より高い動作マージンが得られ、精度が高い読み出しを行うことができる半導体記憶装置を提供することができる。

【図面の簡単な説明】

【図1】

本発明の実施形態1である半導体記憶装置の読み出し回路の構成を示す回路図である。

【図2】

本発明の実施形態1である半導体記憶装置のメモリセルアレイの構成を示す回路図である。

【図3】

本発明の実施形態1の半導体記憶装置の読み出し回路の特性の一例を示すグラ

フである。

【図 4】

本発明の実施形態 2 の半導体記憶装置のリファレンス回路の構成を示す図である。

【図 5】

本発明の実施形態 3 の半導体記憶装置の読み出し回路の構成を示す回路図である。

【図 6】

本発明の実施形態 3 の半導体記憶装置のリファレンス回路の構成を示す図である。

【図 7】

本発明の実施形態 1 の半導体記憶装置の読み出し回路におけるセル電流分割手段の特性の一例を示すグラフである。

【図 8】

本発明の実施形態 4 の半導体記憶装置の読み出し回路におけるセル電流分割手段の特性の一例を示すグラフである。

【図 9】

(a) は従来の多値型の半導体記憶装置におけるセル電流とデータ領域との関係の一例を示す図であり、(b) は従来の 2 値型の半導体記憶装置におけるセル電流とデータ領域との関係の一例を示す図である。

【図 10】

従来の時分割型読み出し回路の一例を示す回路図である。

【図 11】

従来の並列型読み出し回路の一例を示す回路図である。

【図 12】

2 ビット／セルのデータ読み出し動作を行う場合のデータ領域とセンスアンプの出力との関係の一例を示す図である。

【図 13】

センスアンプ出力を入力とする論理回路の真理値表の一例を示す図である。

【図 14】

(a) は線形的な負荷特性を有する読み出し回路の構成を示す回路図であり、
(b) はその特性の一例を示す図である。

【図 15】

(a) は非線形の負荷特性を有する読み出し回路の構成を示す回路図であり、
(b) はその特性の一例を示す図である。

【符号の説明】

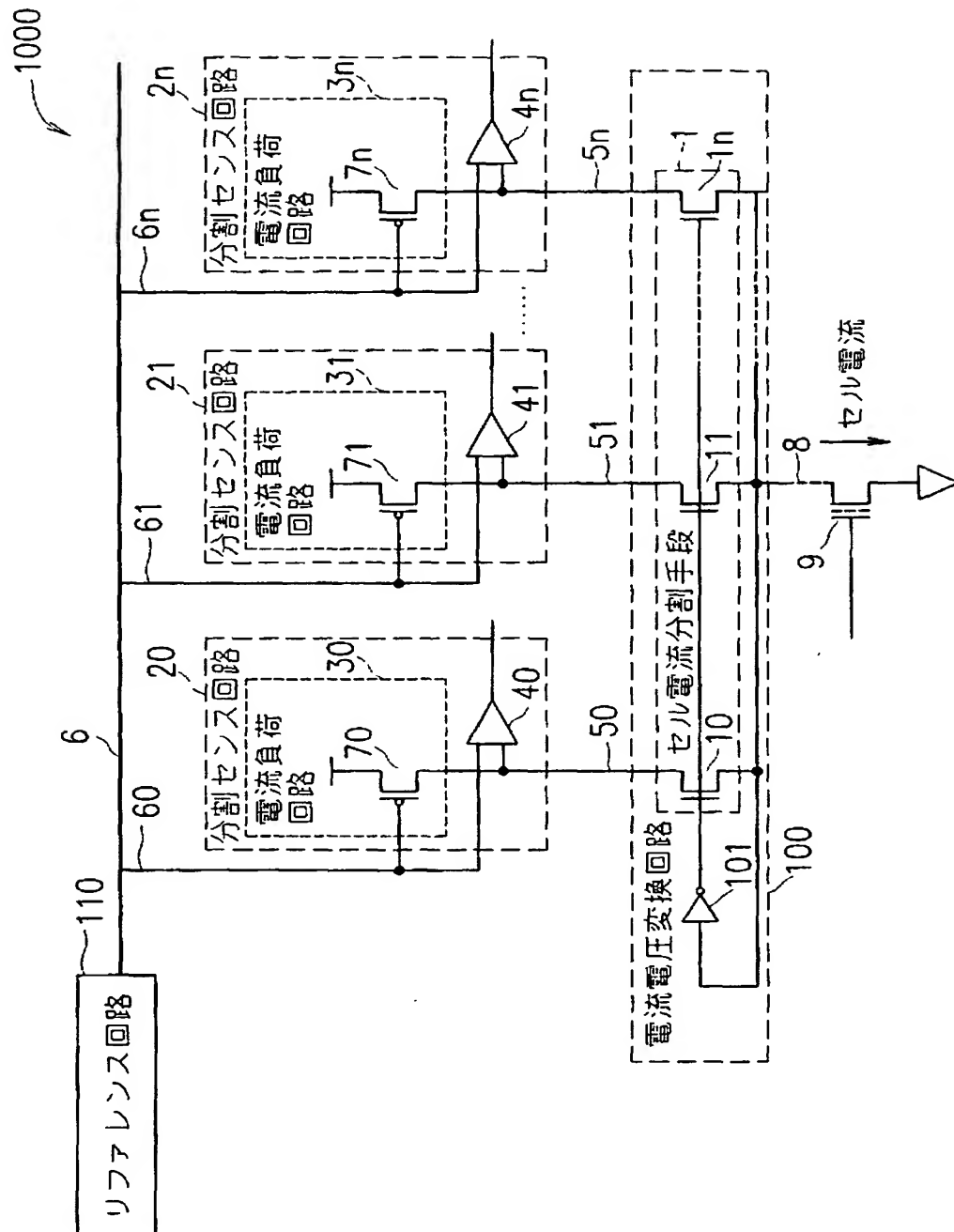
- 1 セル電流分割手段
- 6、6r リファレンス電圧群
- 8 ビット線
- 8-r0～8-rn リファレンスビット線
- 9 メモリセル
- 9-r0～9-rn リファレンス素子
- 10～1n、(10-r0～1n-r0)～(10-rn～1n-rn) NMOSトランジスタ
- 20～2n 分割センス回路
- 30～3n、(30-r0～3n-r0)～(30-rn～3n-rn) 電流負荷回路
- 40～4n センスアンプ
- 50～5n センス線
- (50-r0～5n-r0)～(50-rn～5n-rn) サブリファレンス線
- 50r～5nr、60～6n、60r～6nr リファレンス電圧
- 70～7n、(70-r0～7n-r0)～(70-rn～7n-rn) PMOSトランジスタ
- 100、100-r0～100-rn 電流-電圧変換回路
- 101、101-r0～101-rn インバータ
- 110、120 リファレンス回路
- 110-0～110-n、120-0～120-n リファレンス電圧設定回路

路

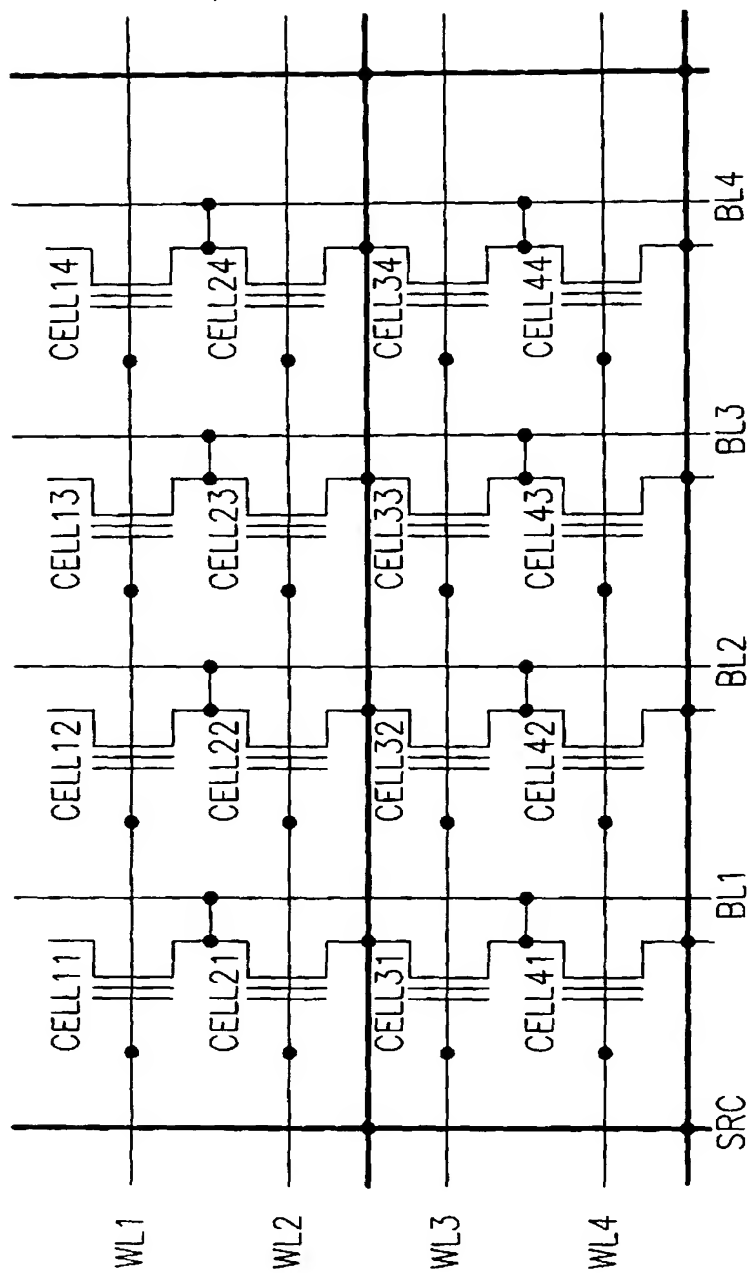
1 0 0 0、2 0 0 0 読み出し回路

【書類名】 図面

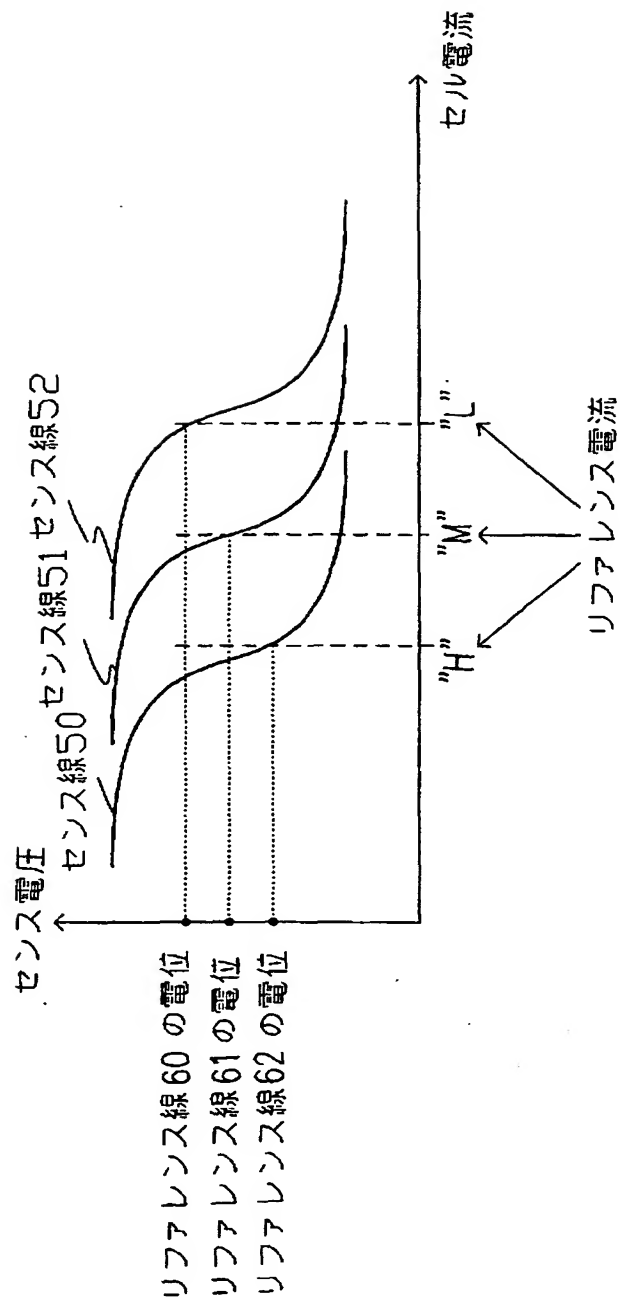
【図 1】



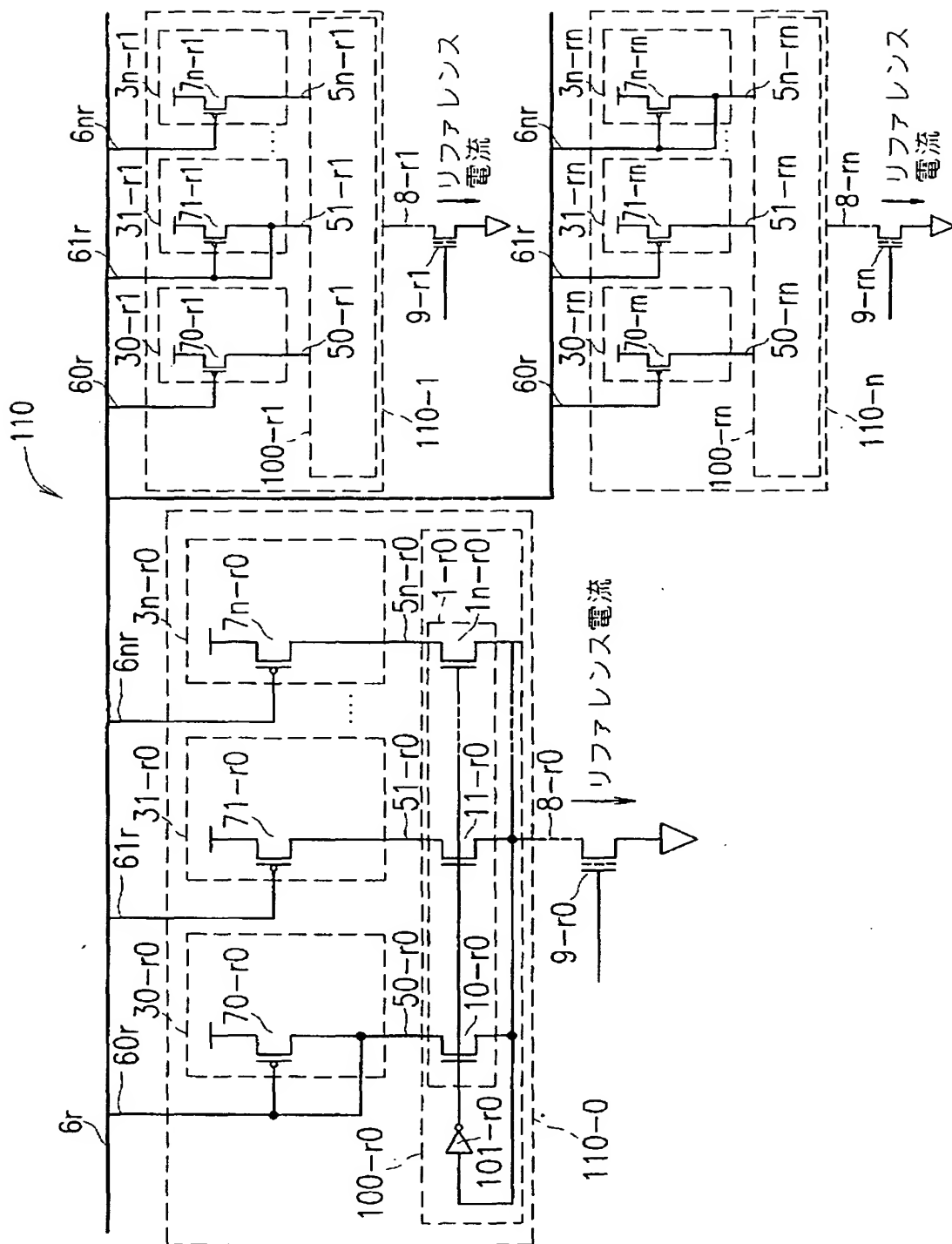
【図 2】



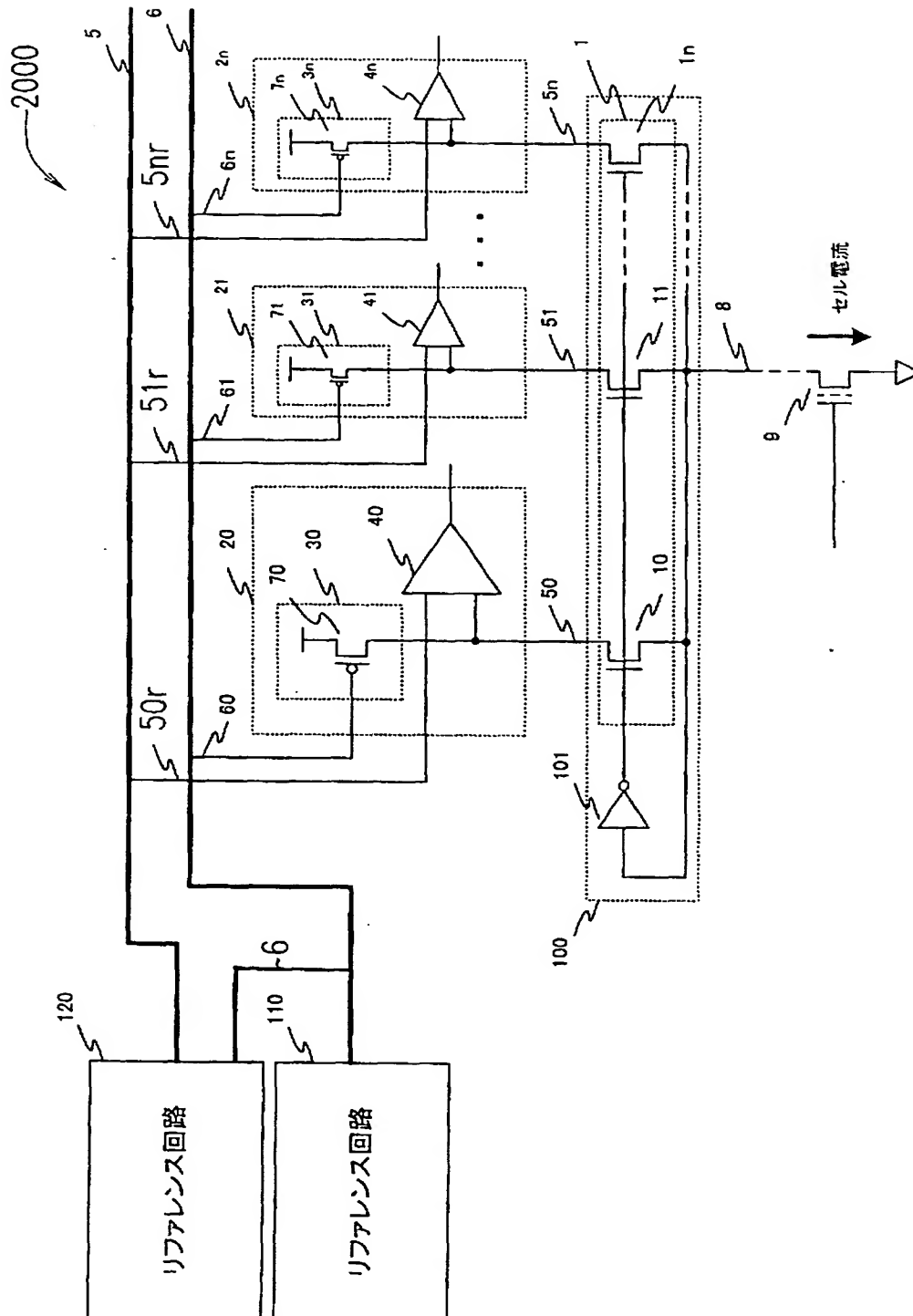
【図 3】



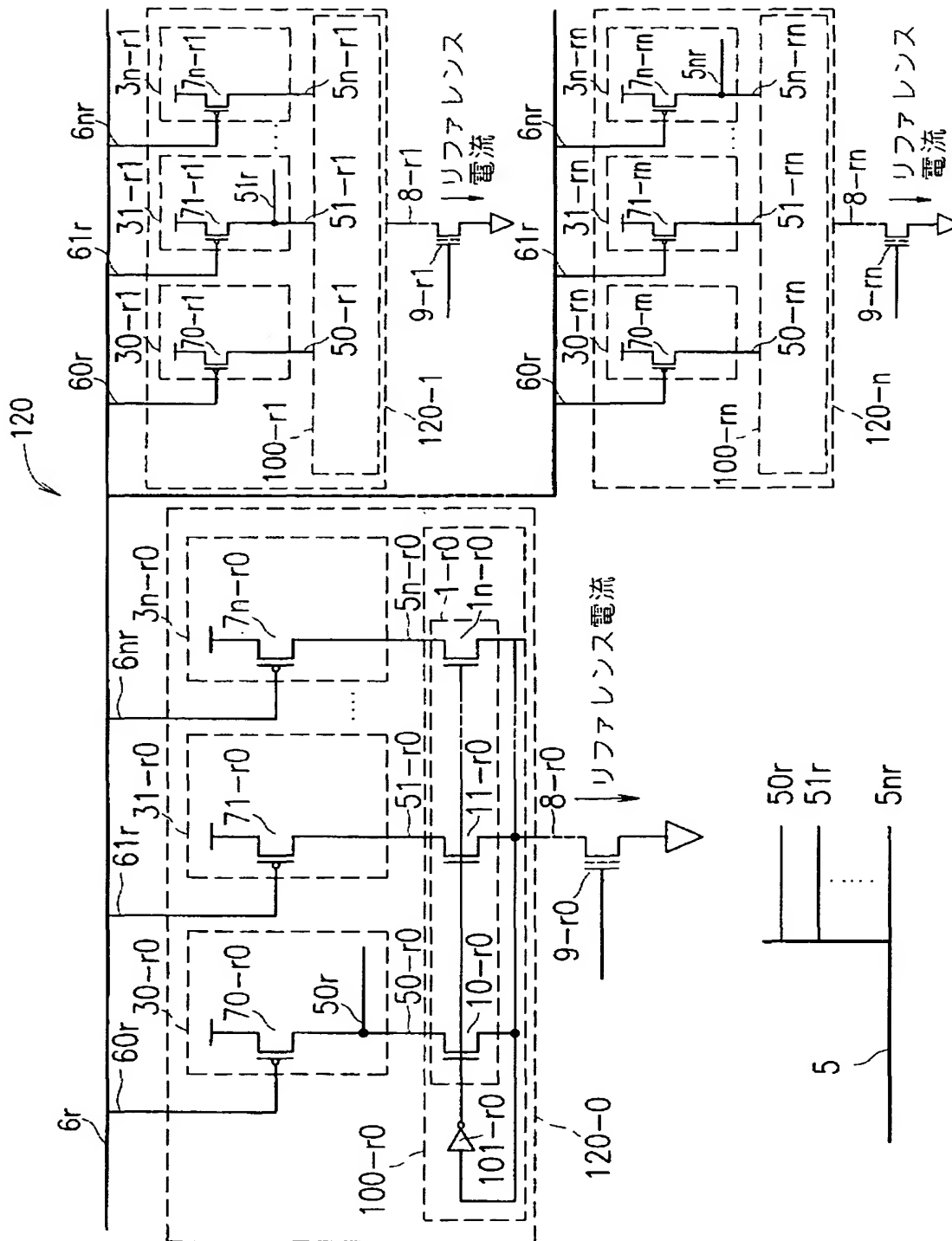
【図 4】



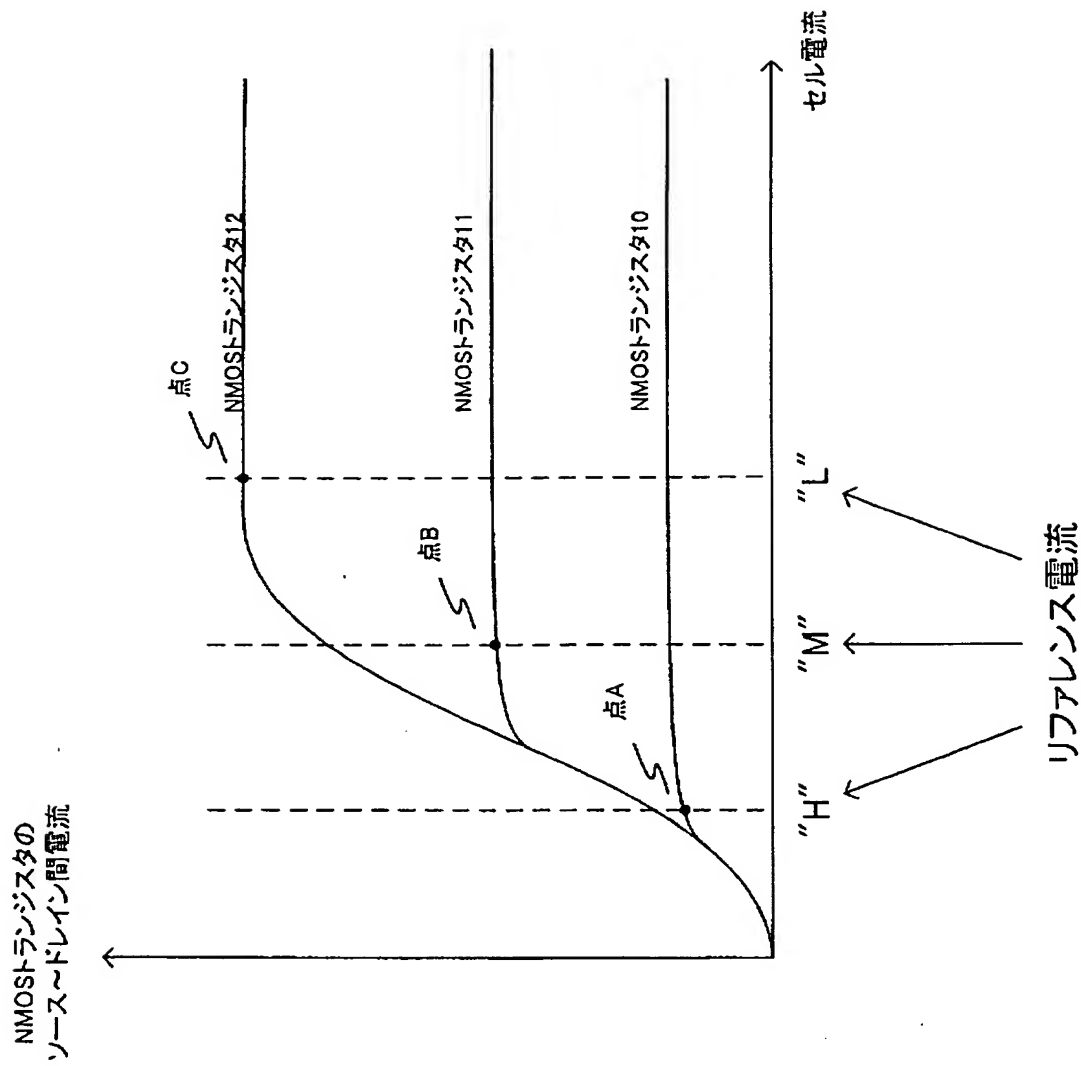
【図5】



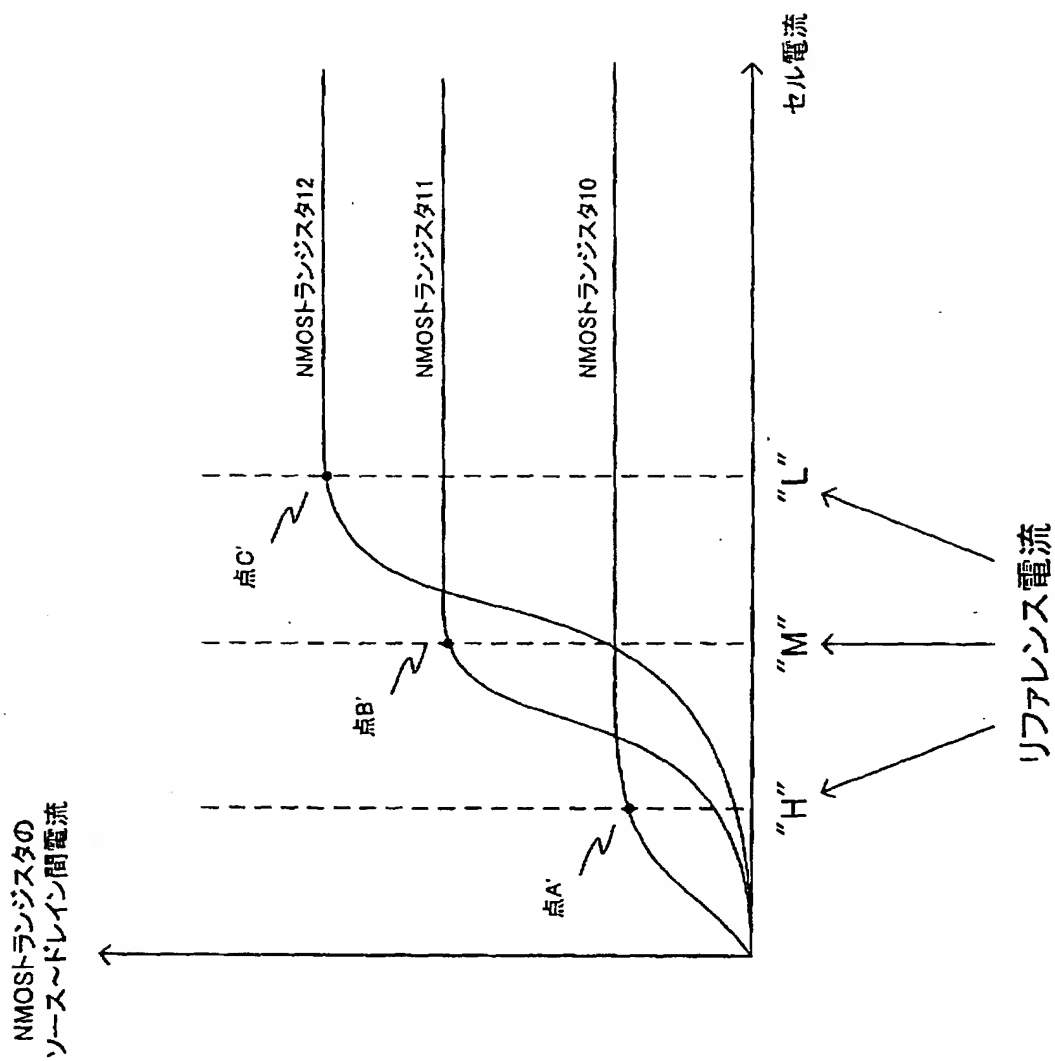
【図 6】



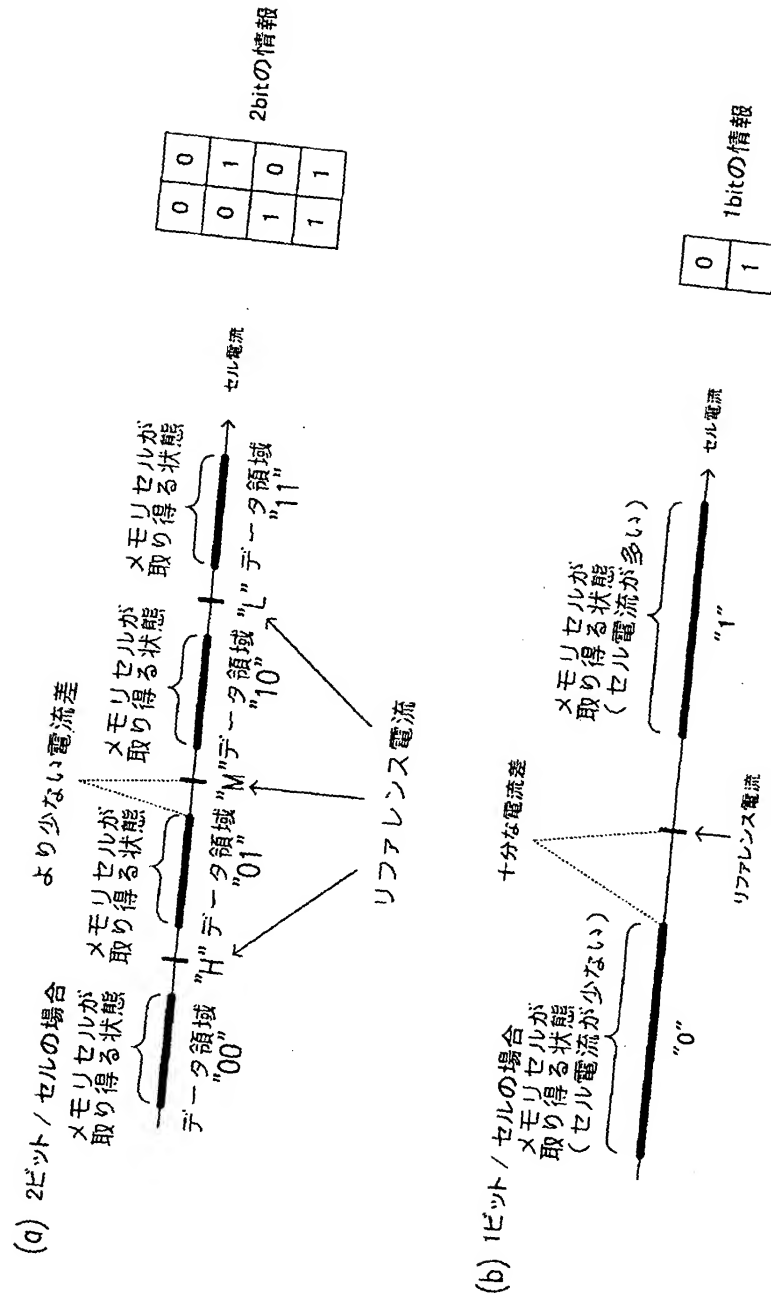
【図 7】



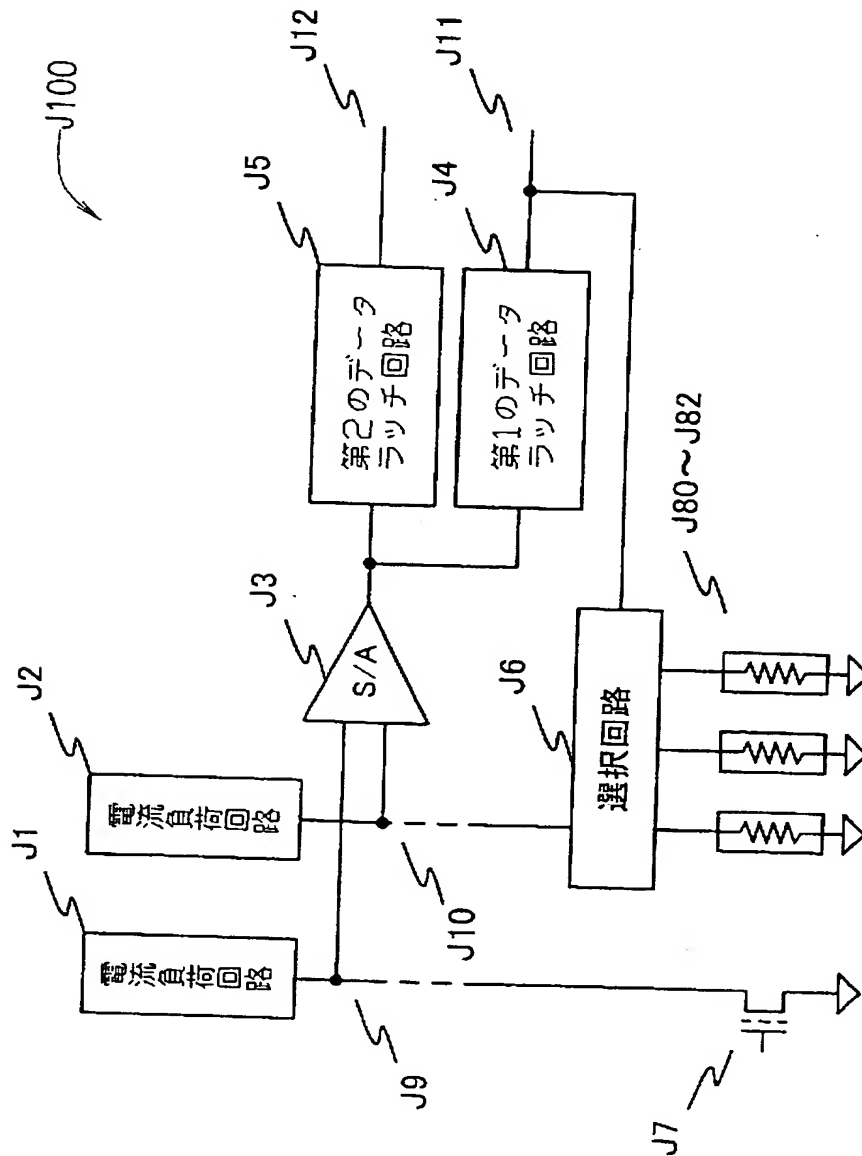
【図 8】



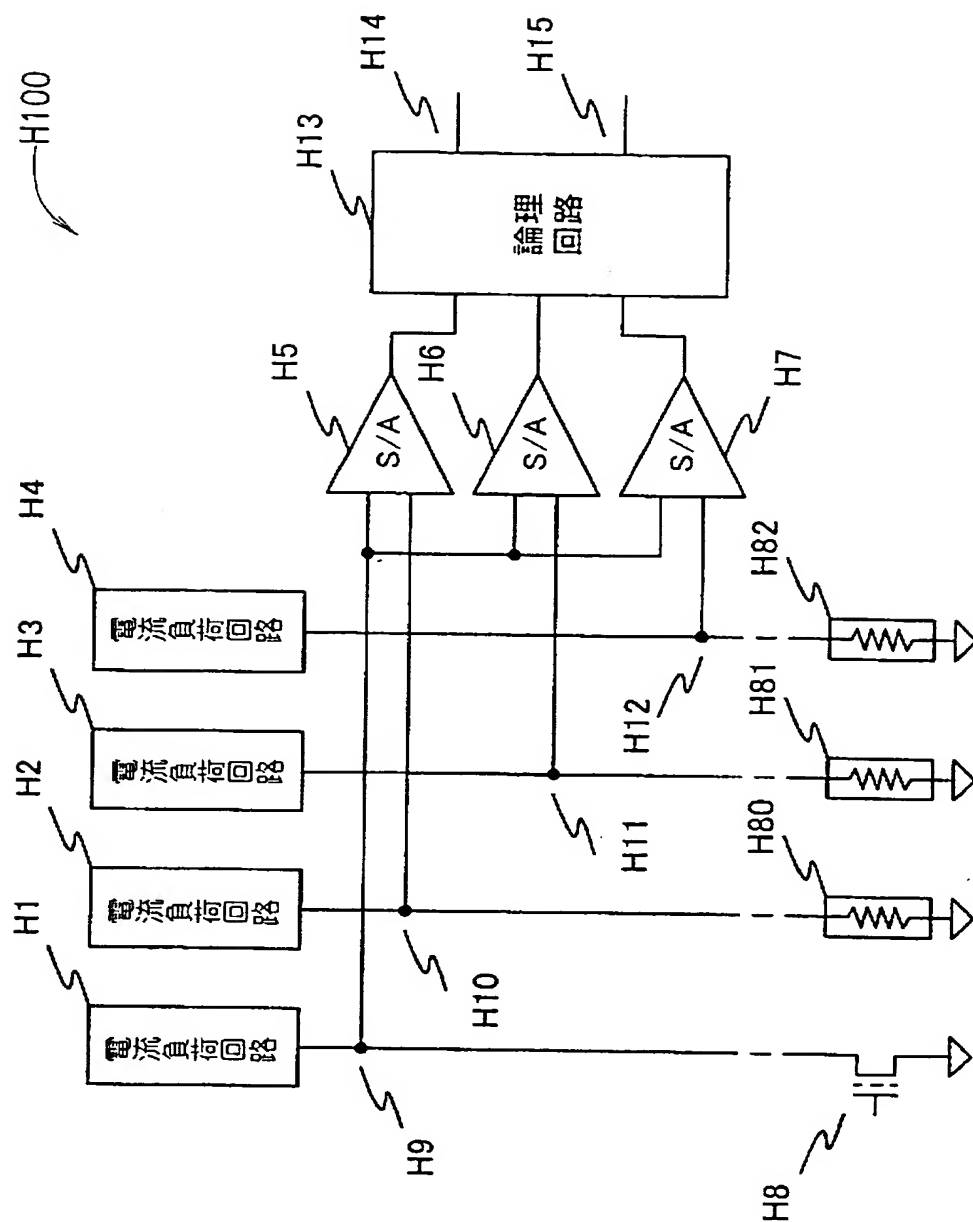
【図9】



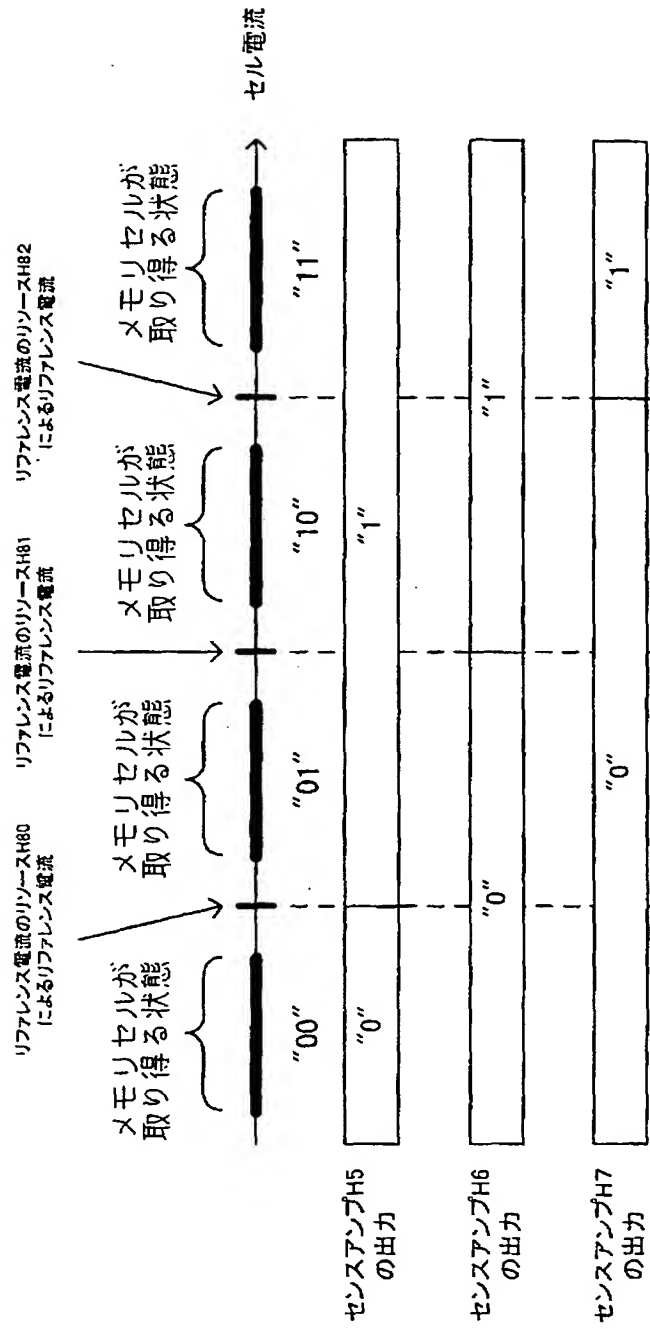
【図10】



【図 11】



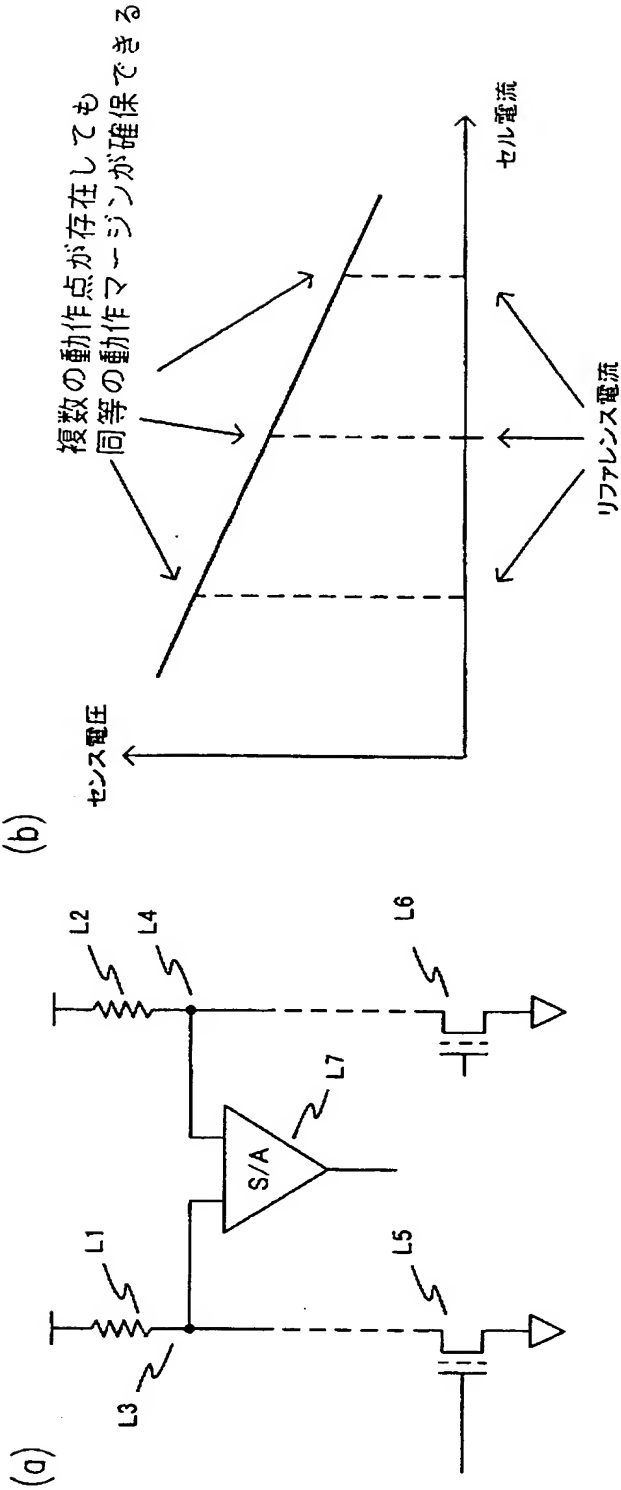
【図 12】



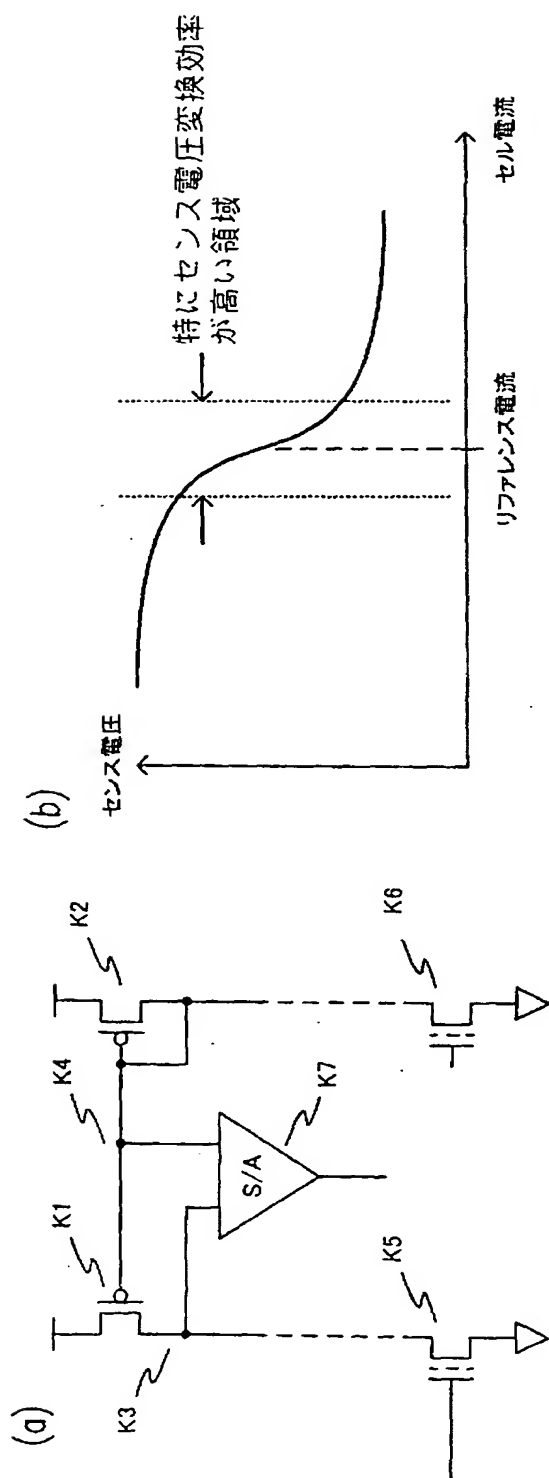
【図 13】

入力				出力	
H5の出力	H6の出力	H7の出力	H14	H15	
0	0	0	0	0	
1	0	0	0	1	
1	1	0	1	0	
1	1	1	1	1	

【図14】



【図 15】



【書類名】 要約書

【要約】

【課題】 多値型の半導体記憶装置において読み出し動作マージンを大きくすると共に、読み出し動作の高速化を図る。

【解決手段】 選択メモリセル 9 に流れるセル電流をセル電流分割手段 1 で複数に分割し、センス線 5 0 ～ 5 n とビット線 8 とを電氣的に接続する。各分割セル電流に接続されるセンス線 5 0 ～ 5 n の電位と、リファレンス回路 1 1 0 から供給されるリファレンス電圧 6 0 ～ 6 n との電位差をセンスアンプ 4 0 ～ 4 n で増幅出力することにより、複数の動作点で並列にセンス動作を行うことができる。また、リファレンス電圧 6 0 ～ 6 n によって、分割セル電流を各センス線 5 0 ～ 5 n に供給する電流負荷回路 3 0 ～ 3 n の電流供給能力を異ならせて、それぞれの動作点に対応した電流供給能力とすることによって、動作マージンを大きくすることができる。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2002-221311
受付番号	50201124083
書類名	特許願
担当官	第七担当上席 0096
作成日	平成14年 7月31日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000005049
【住所又は居所】	大阪府大阪市阿倍野区長池町22番22号
【氏名又は名称】	シャープ株式会社

【代理人】

申請人

【識別番号】	100078282
【住所又は居所】	大阪府大阪府中央区城見1丁目2番27号 クリスタル タワー15階

【氏名又は名称】	山本 秀策
----------	-------

【選任した代理人】

【識別番号】	100062409
【住所又は居所】	大阪府大阪府中央区城見1丁目2番27号 クリ スタルタワー15階 山本秀策特許事務所

【氏名又は名称】	安村 高明
----------	-------

【選任した代理人】

【識別番号】	100107489
【住所又は居所】	大阪府大阪府中央区城見一丁目2番27号 クリスタル タワー15階 山本秀策特許事務所

【氏名又は名称】	大塩 竹志
----------	-------

次頁無

特願 2 0 0 2 - 2 2 1 3 1 1

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 0 4 9]

1 . 変更年月日

1 9 9 0 年 8 月 2 9 日

[変更理由]

新規登録

住 所

大阪府大阪市阿倍野区長池町 2 2 番 2 2 号

氏 名

シャープ株式会社